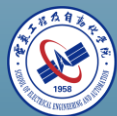




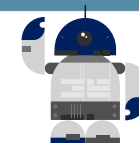
江苏师范大学
JIANGSU NORMAL UNIVERSITY



电气工程及自动化学院
SCHOOL OF ELECTRICAL ENGINEERING AND AUTOMATION

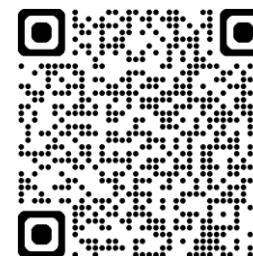


数电
技术



第2章 门电路与触发器

李灿 | 12#503A | lic@jsnu.edu.cn | <https://sslic.cn>





第2章 门电路与触发器

- 半导体器件的开关特性
- 分立元件门电路
- TTL门电路
- CMOS门电路
- 门电路型号命名及正确使用
- 触发器的电路结构及动作特点
- 触发器的逻辑功能及描述
- 集成触发器



第2章 门电路与触发器

重点	✓ TTL集成电路外特性及应用 ✓ CMOS集成电路外特性及应用 ✓ 触发器电路的结构及动作特点 ✓ 触发器电路的功能及描述 ✓ 画触发器输出波形
难点	● TTL集成电路分析及应用 ● CMOS集成电路分析及应用 ● 画触发器电路的输出波形



§2.1 半导体器件的开关特性

什么是开关特性？

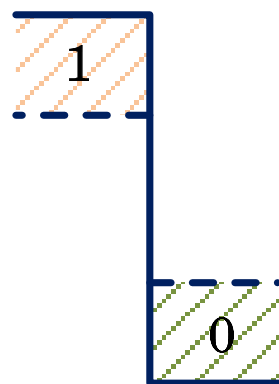
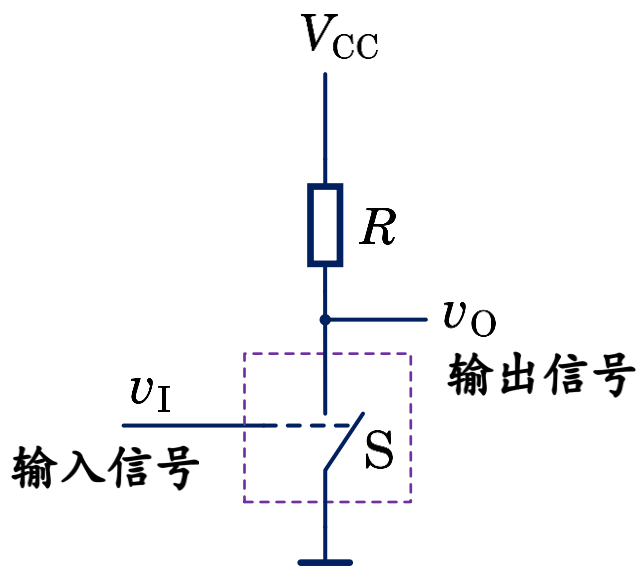
二极管、三极管、**MOS**管的开关特性如何实现？



2.1 半导体器件的开关特性

■ 如何用输入信号控制开关的断开、闭合？

✧ 目的：得到高、低电平，即数字量“1”和“0”



正逻辑

✧ 正逻辑

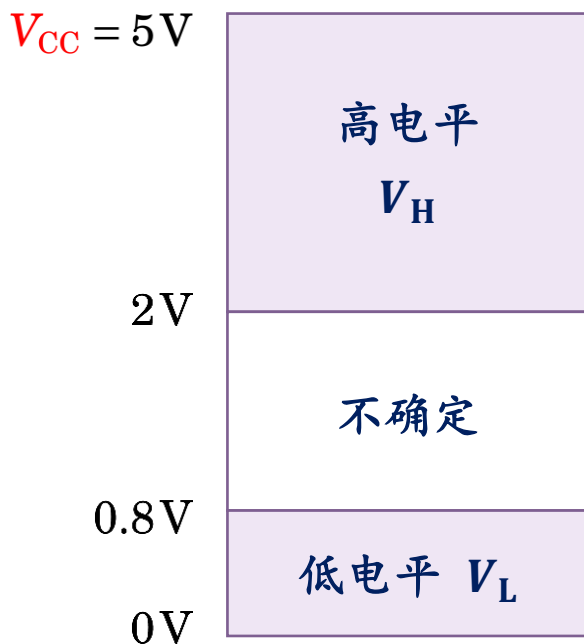
- 高电平表示数字“1”
- 低电平表示数字“0”



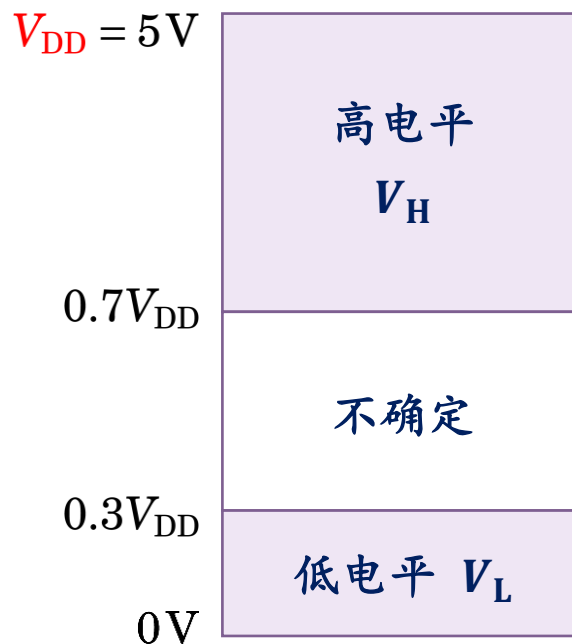
2.1 半导体器件的开关特性

■ 如何用输入信号控制开关的断开、闭合？

✧ 目的：得到高、低电平，即数字量“1”和“0”



TTL 电平定义



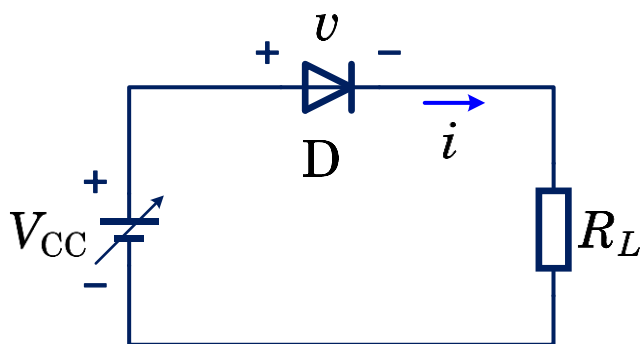
CMOS 电平定义



2.1 半导体器件的

1. 二极管开关特性

✧ 利用二极管的
单向导电性



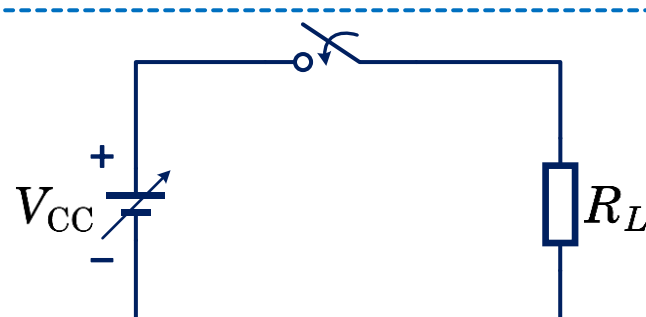
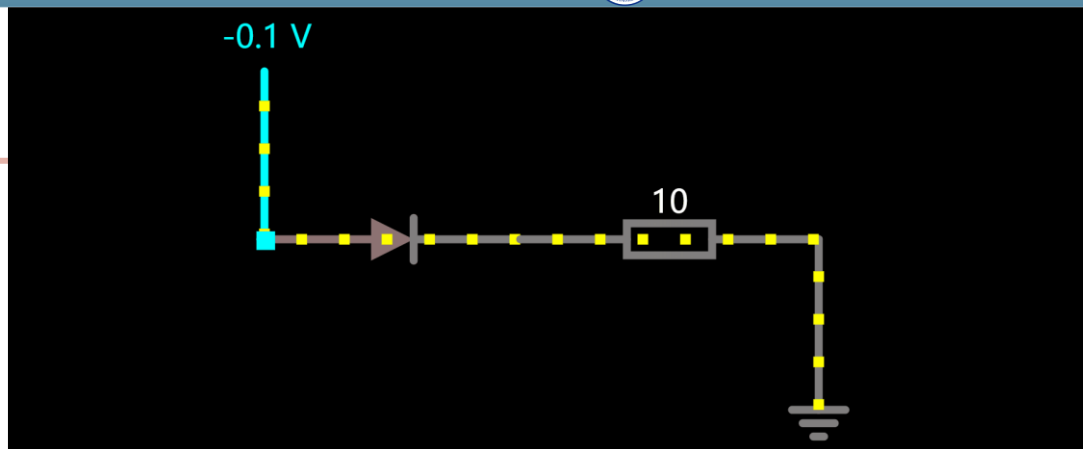
$$\text{导通后 } i = \frac{V_{CC} - v_d}{R_L}$$



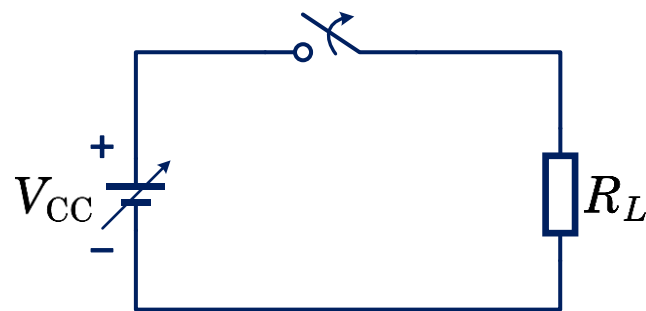
v_d 为导通压降

硅二极管: $v_d \approx 0.7V$

锗二极管: $v_d \approx 0.3V$



当 $V_{CC} > v_d$ 时



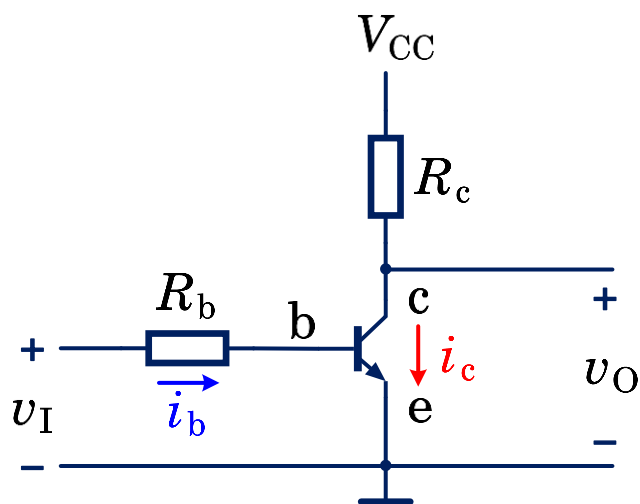
当 $V_{CC} < v_d$ 时



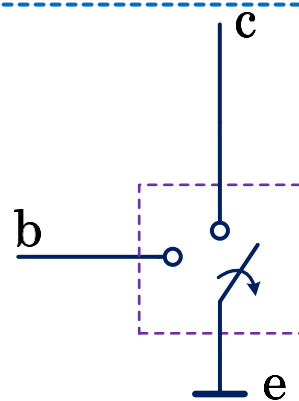
2.1 半导体器件的

2. 三极管开关特性

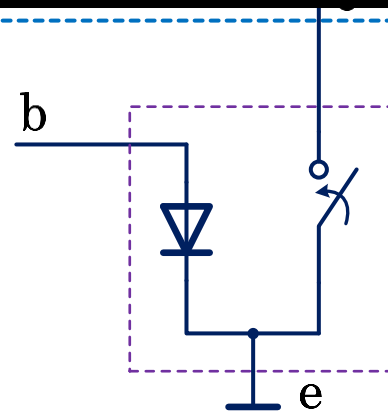
✧ 利用三极管
截止区、饱和区



✧ 三极管的开关特性：c、e 间是受 b 端电压控制的开关

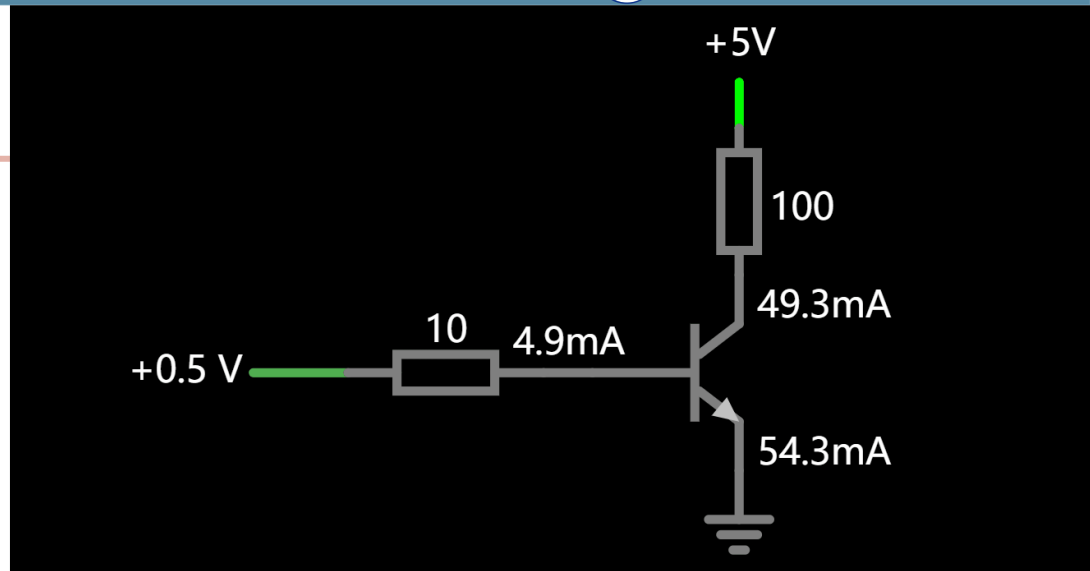


截止时



饱和时

✧ 输入 $v_I < 0.7V$ ，三极管截止，输出高电平
✧ 输入 v_I 较大， $i_b > i_{b(sat)}$ 时，三极管饱和导通， $v_{ce} \approx 0V$ ，输出低电平

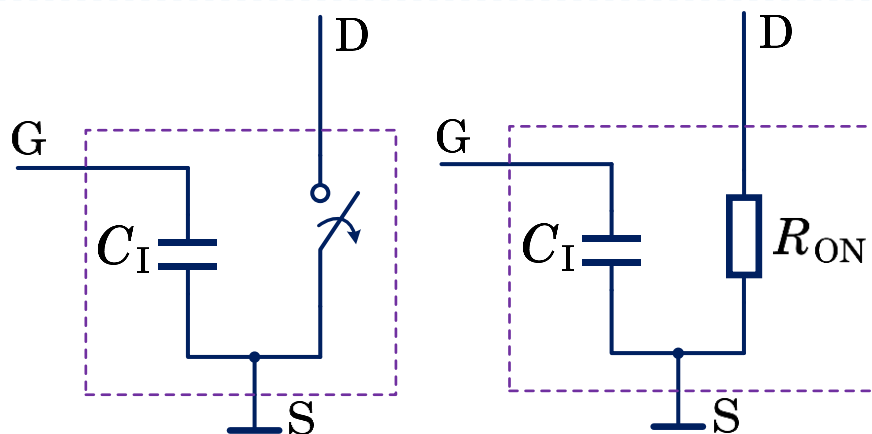
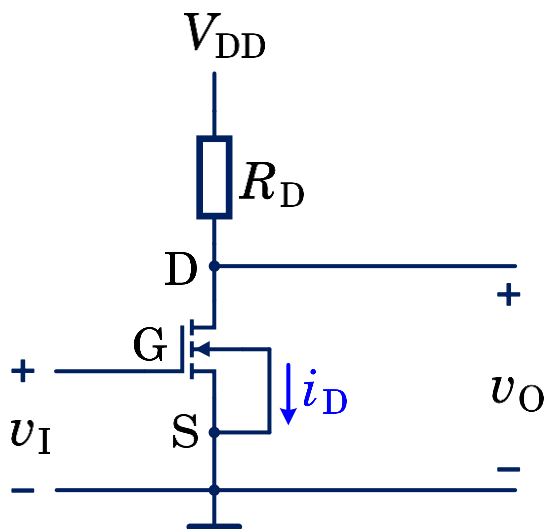




2.1 半导体器件的

3. MOS管开关特性

✧ MOS管的
截止区、可变电阻区

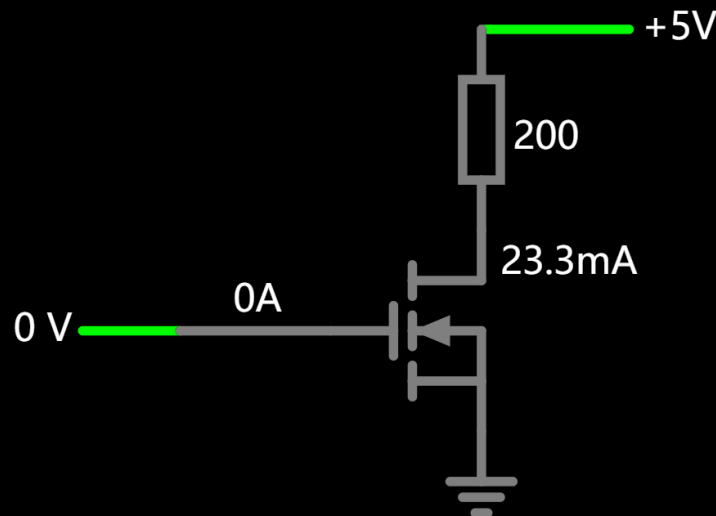


截止时

导通时

✎ MOS管的开关特性表现为 D、S 间是受 GS 电压控制的开关

- ✎ 当 $v_I < v_{GS(th)}$, MOS 管截止, 输出高电平
- ✎ 当 $v_I \gg v_{GS(th)}$, MOS 管处于可变电阻区, 导通电阻 R_{ON} 很小, 输出低电平





§2.2 分立元件门电路

什么是门电路？

分立元件构成的门电路的结构及原理？



2.2 分立元件门电路

■ 基本逻辑运算符号（逻辑门 Logic Gate）

$$\begin{matrix} A \\ B \end{matrix} \text{---} \boxed{\&} \text{---} L = A \cdot B$$

$$\begin{matrix} A \\ B \end{matrix} \text{---} \boxed{\geq 1} \text{---} L = A + B$$

$$A \text{---} \boxed{1} \text{---} L = \overline{A}$$

✧ 数字电子系统中的基础元件，通过输入/输出的高低电平（0/1）实现基本逻辑运算的电路，相当于数字世界的“原子操作单元”

■ 具体电路如何实现？

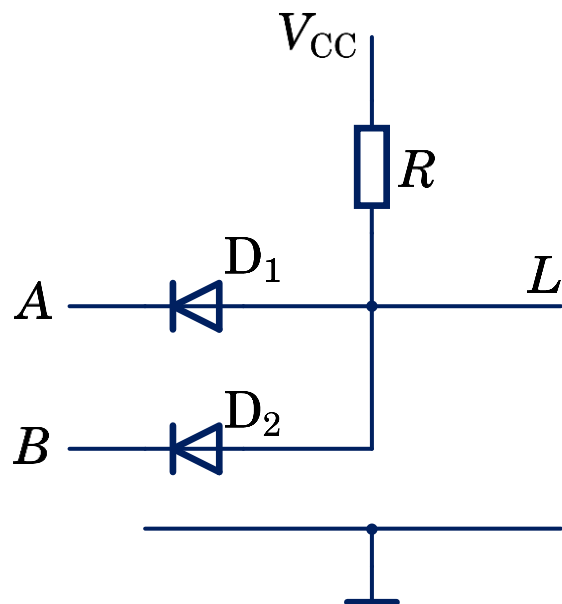
- ✧ 分立元件
- ✧ 集成电路
 - TTL
 - CMOS



2.2 分立元件门电路

1. 二极管与门

✧ 电路原理图 ($V_{CC} = 5V$)



✧ 逻辑关系 (与门)

$$L = AB$$



与门电路工作状态表

V_A	V_B	D_1	D_2	V_L
0V	0V	导通	导通	0.7V
0V	5V	导通	截止	0.7V
5V	0V	截止	导通	0.7V
5V	5V	截止	截止	5V

与门真值表

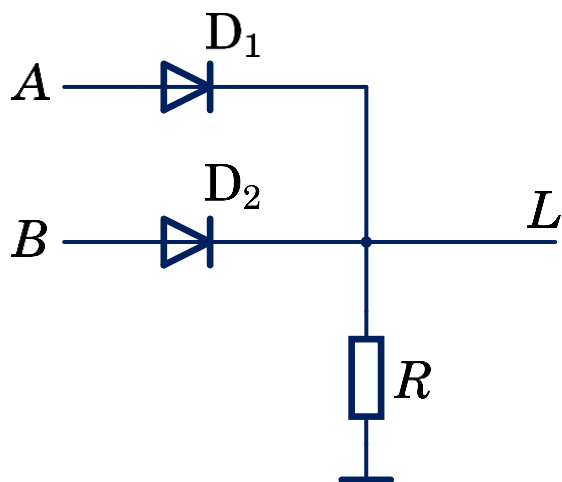
A	B	L
0	0	0
0	1	0
1	0	0
1	1	1



2.2 分立元件门电路

2. 二极管或门

✧ 电路原理图



✧ 逻辑关系（或门）

$$L = A + B$$



或门电路工作状态表

V_A	V_B	D_1	D_2	V_L
0V	0V	截止	截止	0V
0V	5V	截止	导通	4.3V
5V	0V	导通	截止	4.3V
5V	5V	导通	导通	4.3V

或门真值表

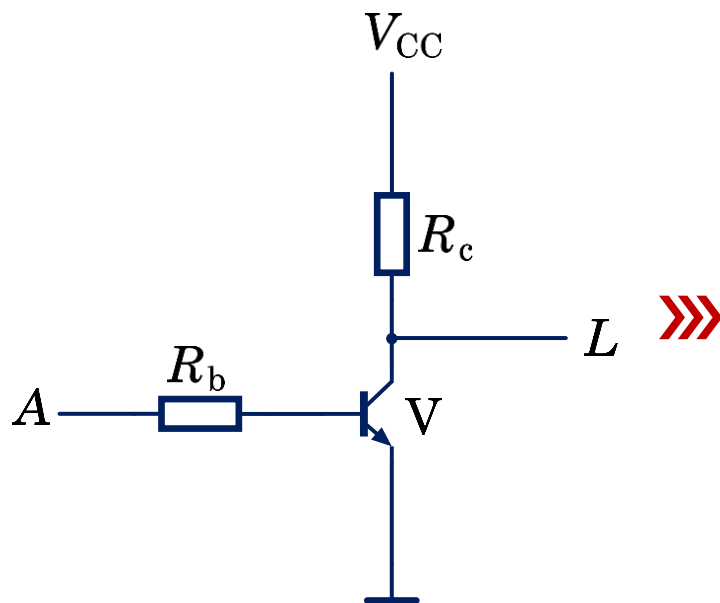
A	B	L
0	0	0
0	1	1
1	0	1
1	1	1



2.2 分立元件门电路

3. 三极管非门

✧ 电路原理图 ($V_{CC} = 5V$)



✧ 逻辑关系 (非门)

$$L = \overline{A}$$

非门电路工作状态表

V_A	V	V_L
0V	截止	5V
5V	导通	0.3V

非门真值表

A	L
0	1
1	0



§2.3 TTL门电路

TTL门电路的结构如何？

TTL门电路的工作原理？

TTL门电路的外特性？

如何正确使用TTL门电路器件？



2.3 TTL门电路

■ 集成电路

✧ Integrated circuit, 简称IC

✧ 将元器件和连线一起做在一个半导体基片上的完整电路

■ 分类

✧ 按集成度分

- 小规模、中规模、大规模、超大规模、特大规模

✧ 按制造工艺分

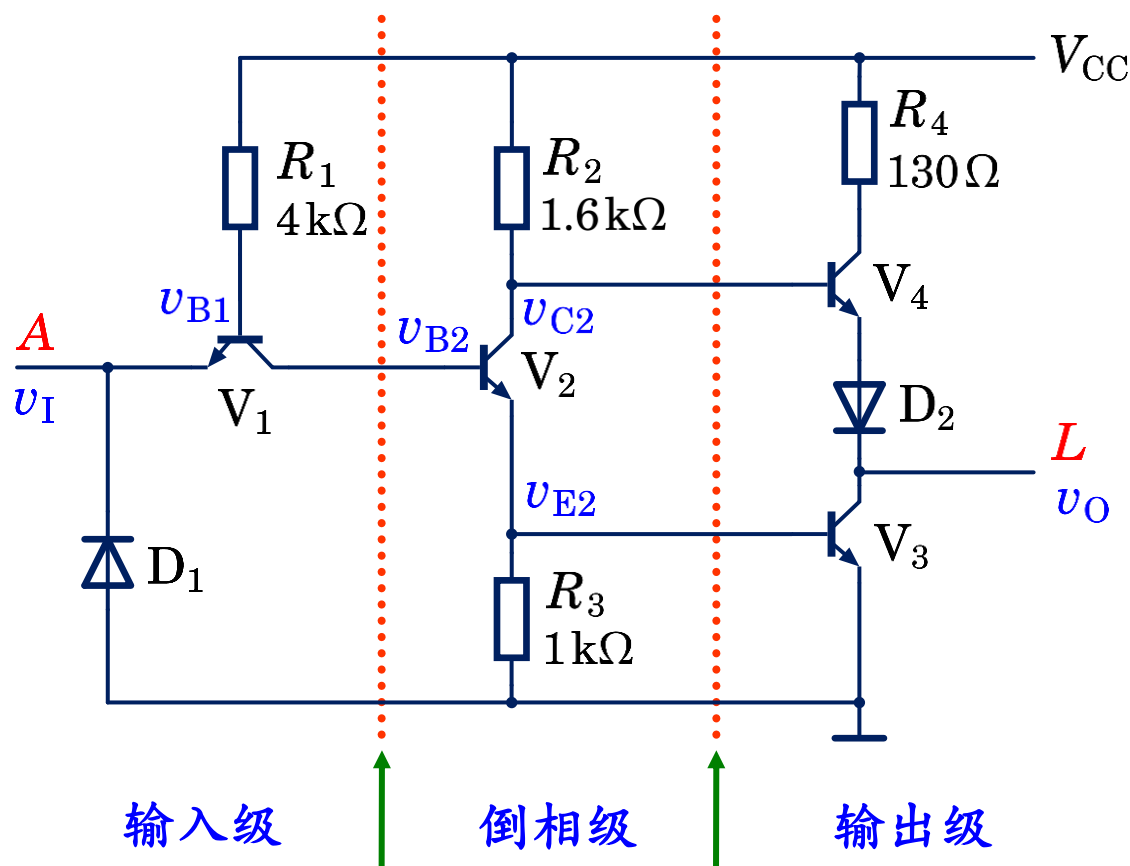
- 单极型—CMOS
 - 双极型—TTL
- } 门电路、触发器



2.3 TTL门电路

一. TTL非门的结构及原理

✧ TTL非门电路结构



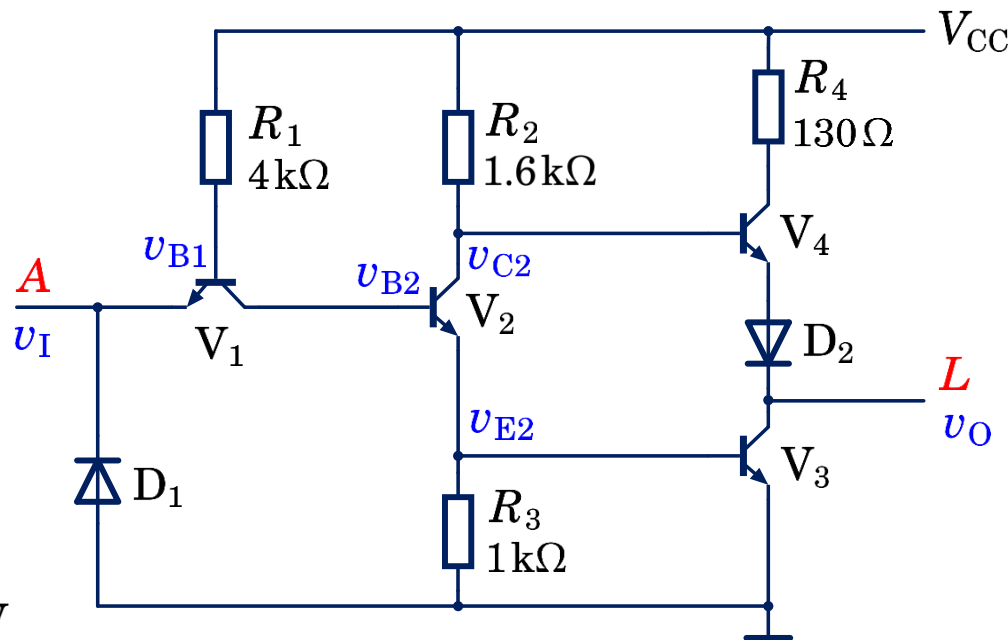


2.3 TTL门电路

一. TTL非门的结构及原理

✧ TTL非门工作原理

- ✎ $V_{CC} = 5V$
- ✎ $V_{IH} = 3.6V$
- ✎ $V_{IL} = 0.3V$
- ✎ PN结导通电压为 $V_{IL} = 0.7V$



TTL非门各三极管工作状态及IO关系

v_I	V_1 发射结	v_{B1}	V_1 集电结	V_2	V_3	V_4	v_O
0.3V	导通	1V	截止	截止	截止	导通	3.6V

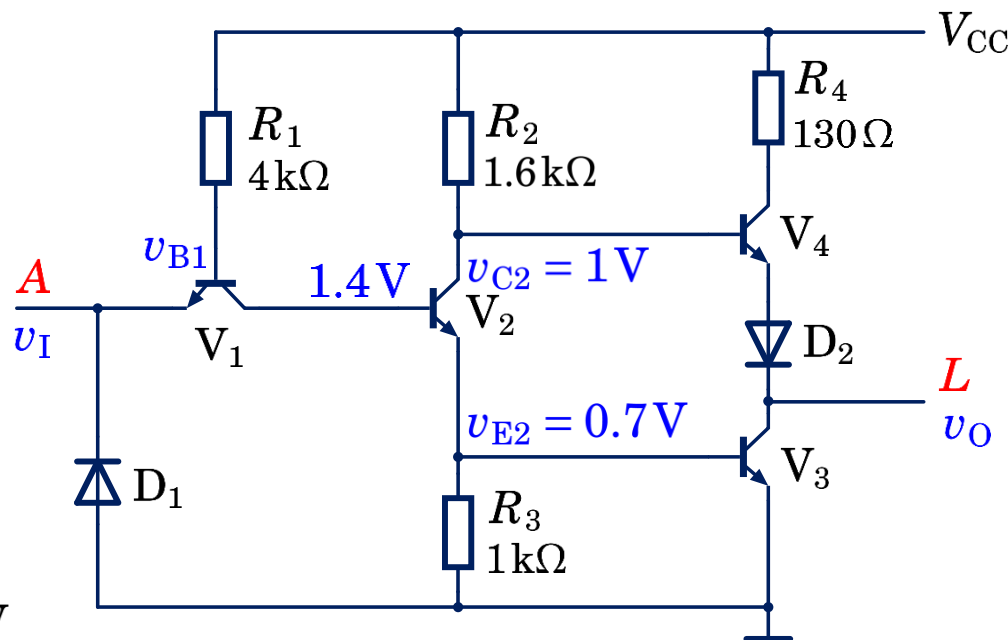


2.3 TTL门电路

一. TTL非门的结构及原理

✧ TTL非门工作原理

- $V_{CC} = 5V$
- $V_{IH} = 3.6V$
- $V_{IL} = 0.3V$
- PN结导通电压为 $V_{IL} = 0.7V$



TTL非门各三极管工作状态及IO关系

v_I	V_1 发射结	v_{B1}	V_1 集电结	V_2	V_3	V_4	v_O
0.3V	导通	1V	截止	截止	截止	导通	3.6V
3.6V	导通(反)	2.1V	导通	导通	导通	截止	0.3V

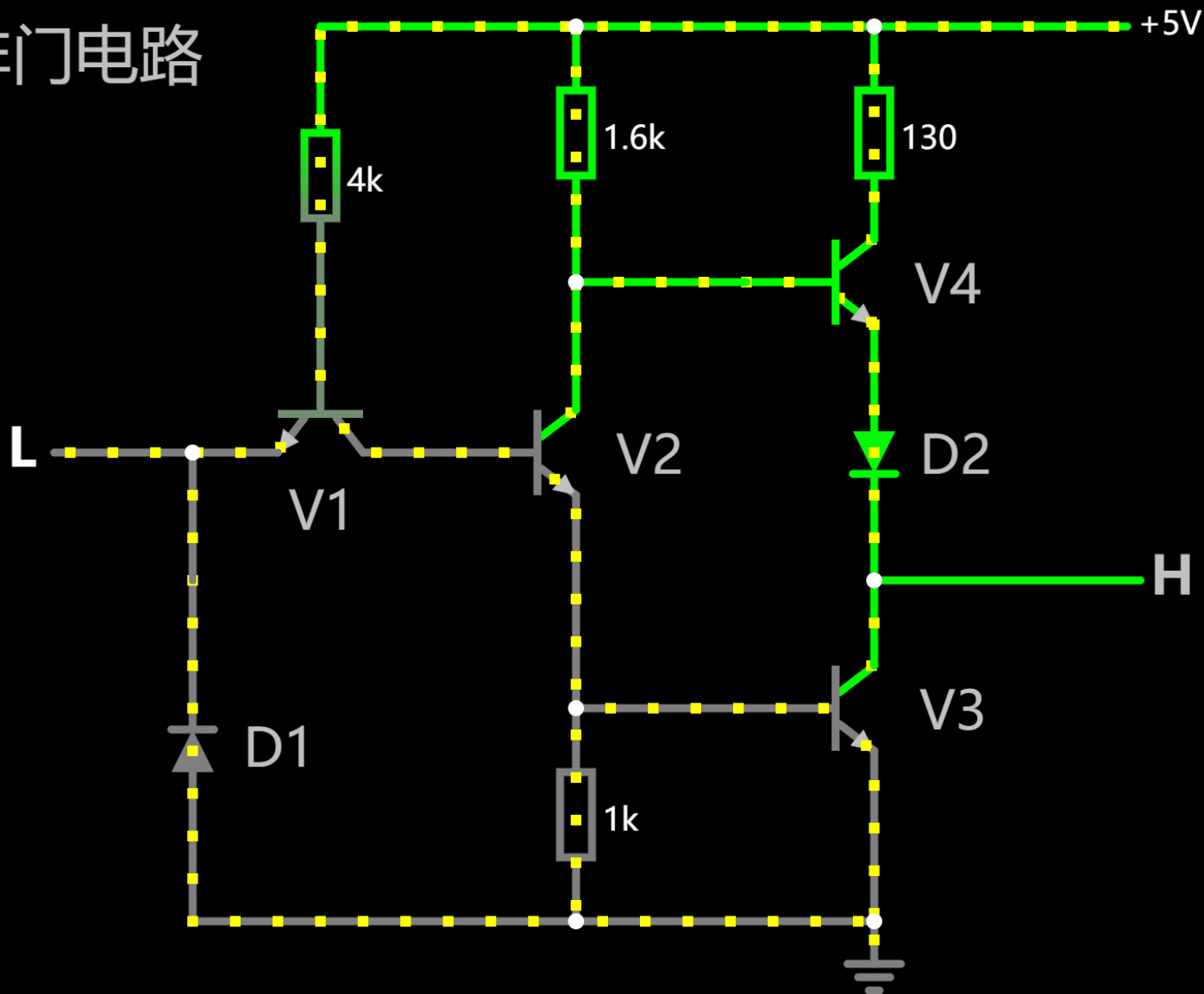
真值表

A	L
1	0
0	1

逻辑符号与表达式 $A \rightarrow \boxed{1} \rightarrow L = \overline{A}$



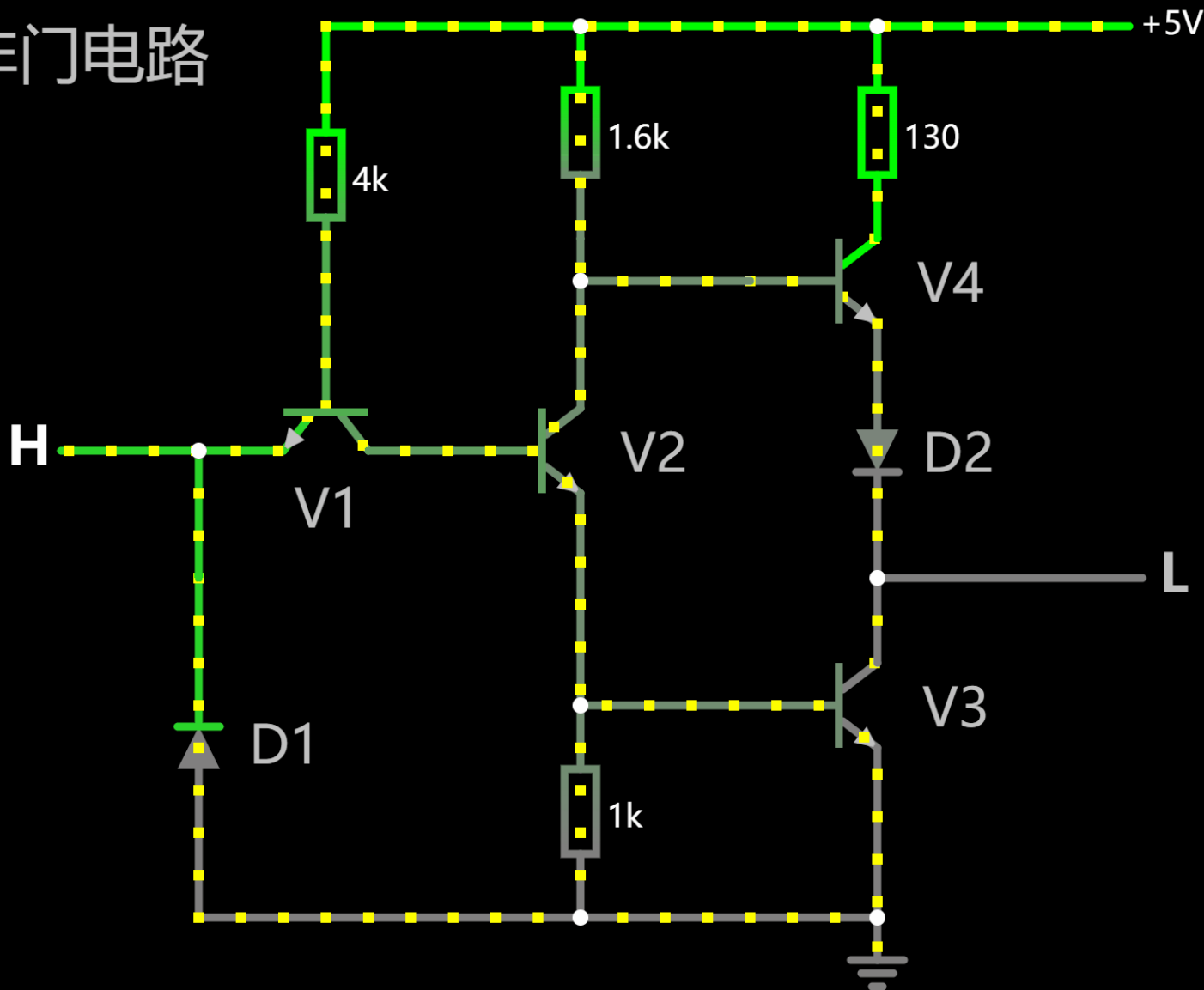
TTL非门电路



输入低电平



TTL非门电路



输入高电平



2.3 TTL门电路

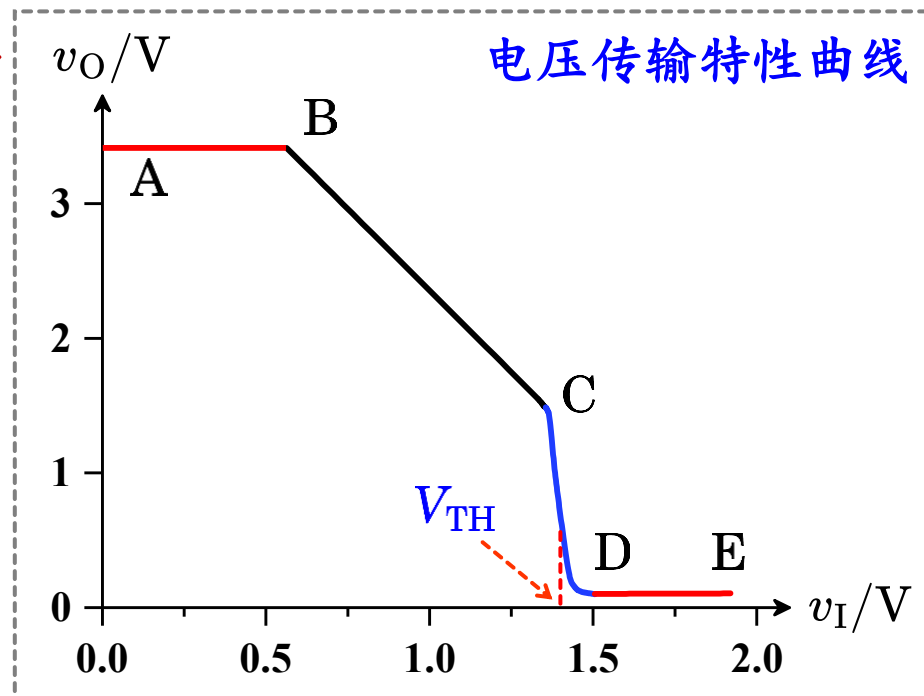
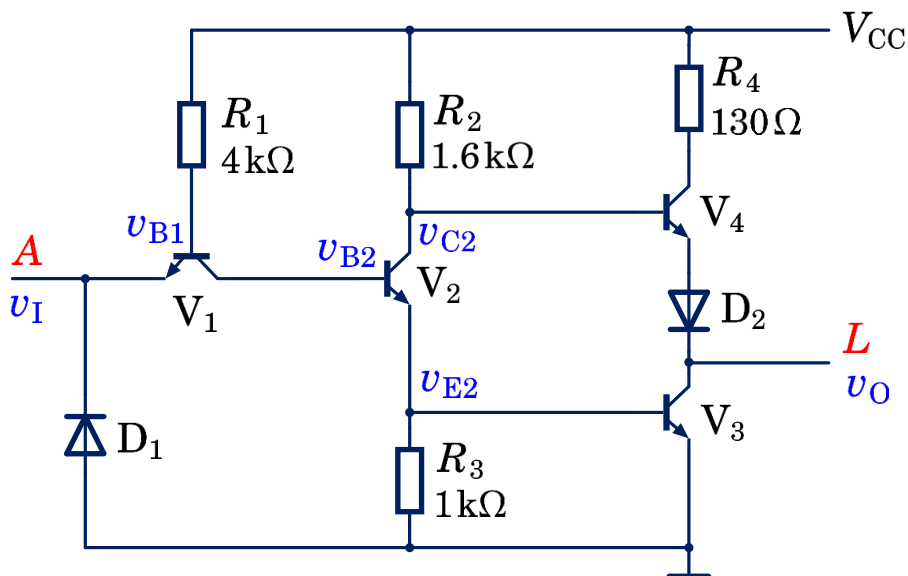
二. TTL非门外特性

- ✧ 电压传输特性
- ✧ 输入特性
- ✧ 输出特性
- ✧ 输入端负载特性
- ✧ 动态特性



2.3 TTL门电路

1. 电压传输特性 $v_O = f(v_I)$ »»

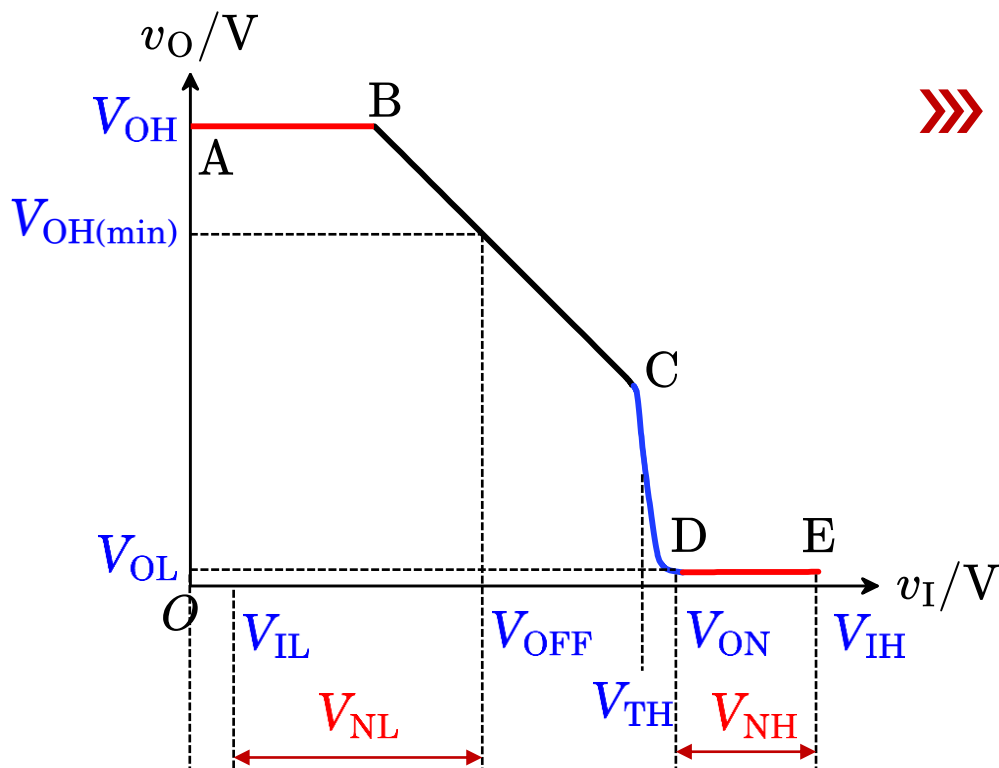


AB 段（截止区）	输出高电平电压 $V_{OH}(3.6V)$
BC 段（线性区）	
CD 段（转折区）	中点对应的输入电压为门槛电压（阈值电压） $V_{TH}(1.4V)$
DE 段（饱和区）	输出低电平电压 $V_{OL}(0.3V)$



2.3 TTL门电路

1. 电压传输特性 $v_O = f(v_I)$



- ✎ V_{IL} : 输入低电平
- ✎ $V_{IL(max)}$: 输入低电平上限值
(关门电压 V_{OFF})
- ✎ V_{IH} : 输入高电平
- ✎ $V_{IH(min)}$: 输入高电平下限值
(开门电压 V_{ON})
- ✎ $V_{OL(max)}$: 输出低电平上限值
- ✎ $V_{OH(min)}$: 输出高电平下限值
- ✎ 当非门的 $v_I \uparrow \geq V_{TH}$ 时, $v_O \downarrow = V_{OL}$
- ✎ 当非门的 $v_I \downarrow \leq V_{TH}$ 时, $v_O \uparrow = V_{OH}$

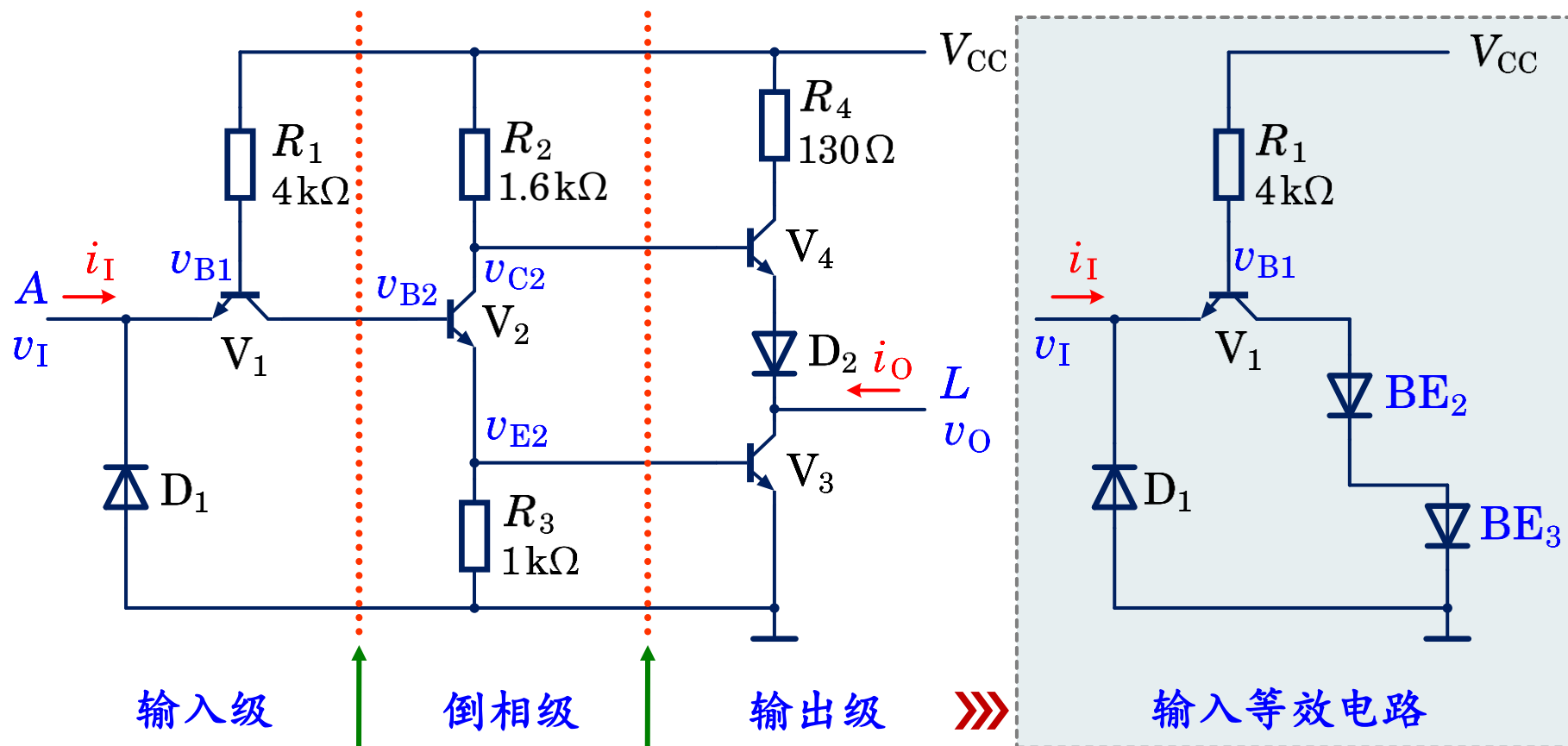
❶ 低电平噪声容限 $V_{NL} = V_{OFF} - V_{IL}$

❷ 高电平噪声容限 $V_{NH} = V_{IH} - V_{ON}$



2.3 TTL门电路

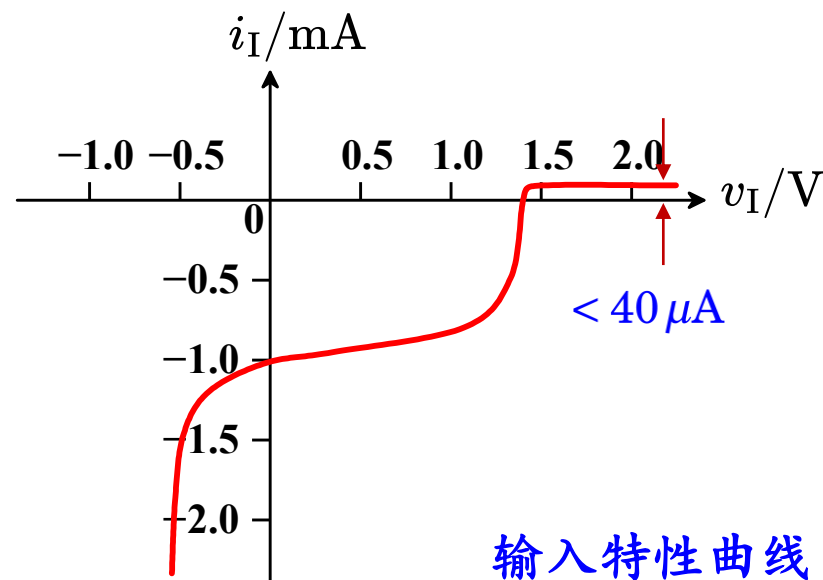
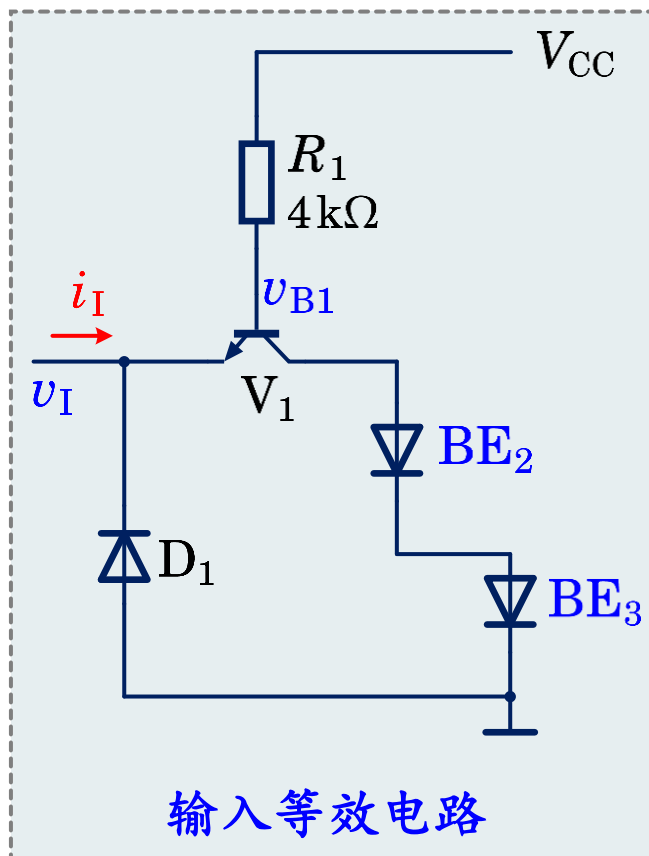
2. 输入特性 $i_I = f(v_I)$





2.3 TTL门电路

2. 输入特性 $i_I = f(v_I)$



当输入为低电平 (0.3V) 时，输入电流

$$I_{IL} = -\frac{V_{CC} - v_{B1}}{R_1} = -\frac{5 - 1}{4} \approx -1 \text{ mA}$$

当输入为高电平 (3.6V) 时，输入电流

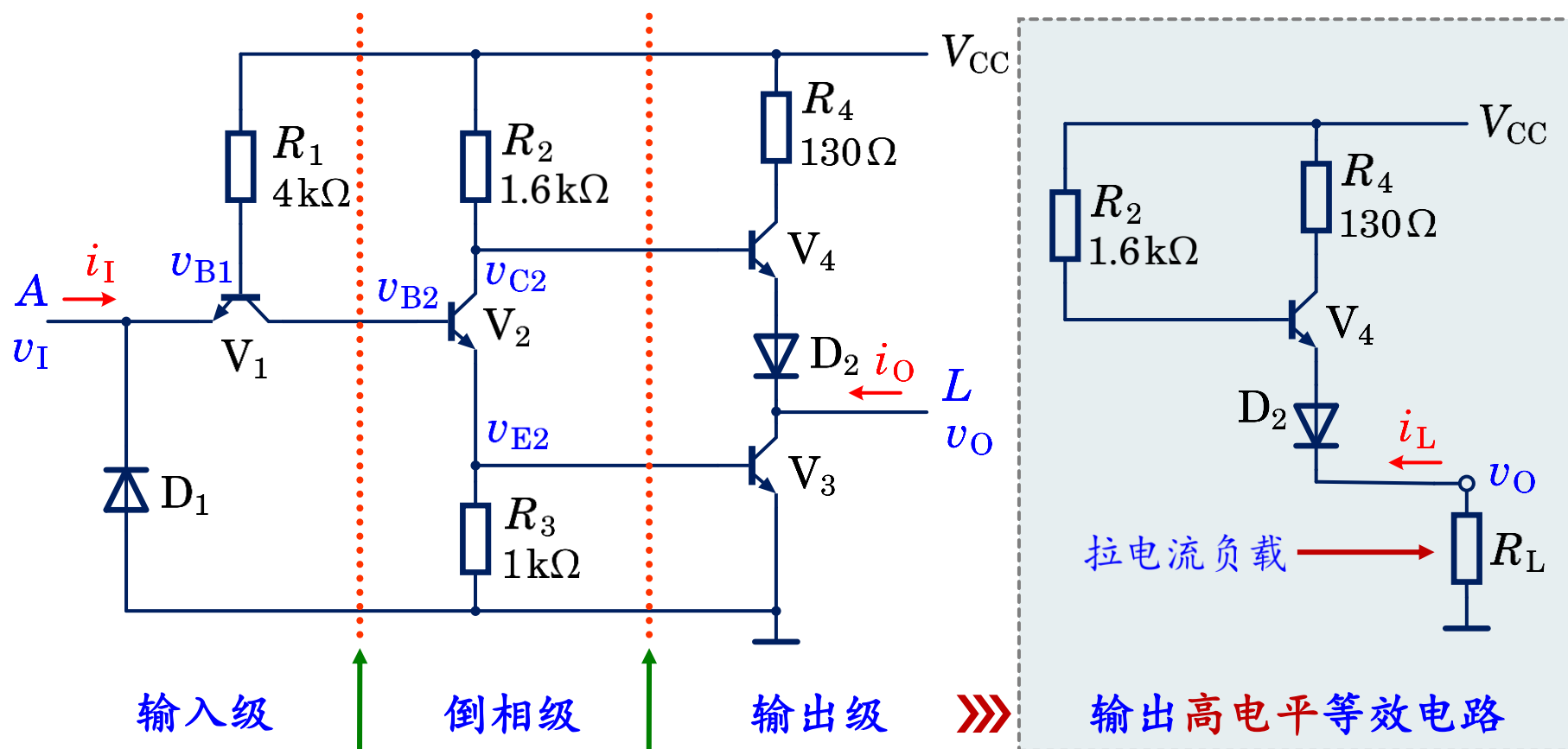
$$I_{IH} < 40 \mu\text{A} = 0.04 \text{ mA}$$



2.3 TTL门电路

3. 输出特性 $i_O = f(v_O)$

✧ 输出高电平

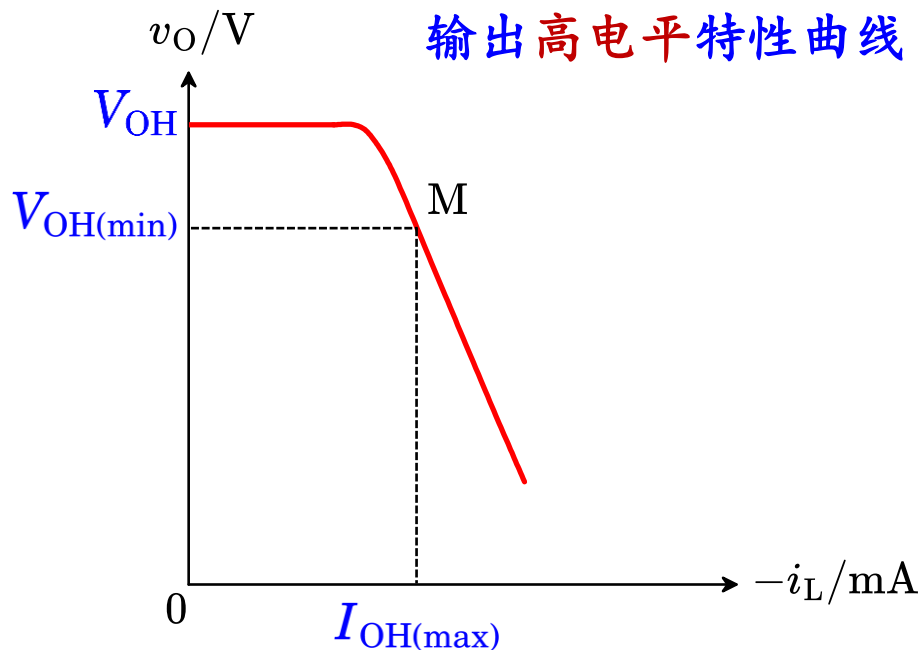
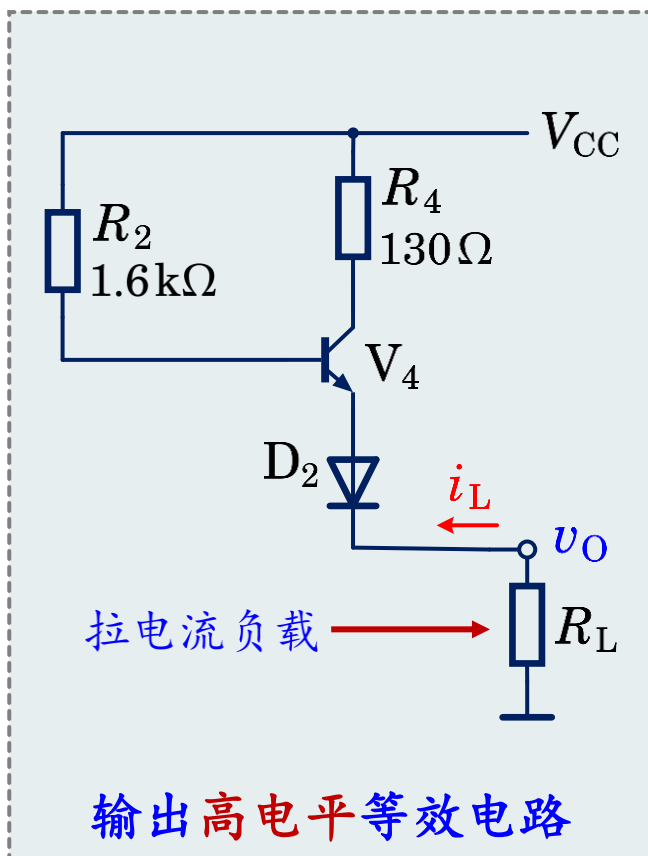




2.3 TTL门电路

3. 输出特性 $i_O = f(v_O)$

✧ 输出高电平



✧ 输出高电平不得低于

$$V_{OH(min)} = 2.4V$$

✧ 输出高电平拉电流（实际流向负载）

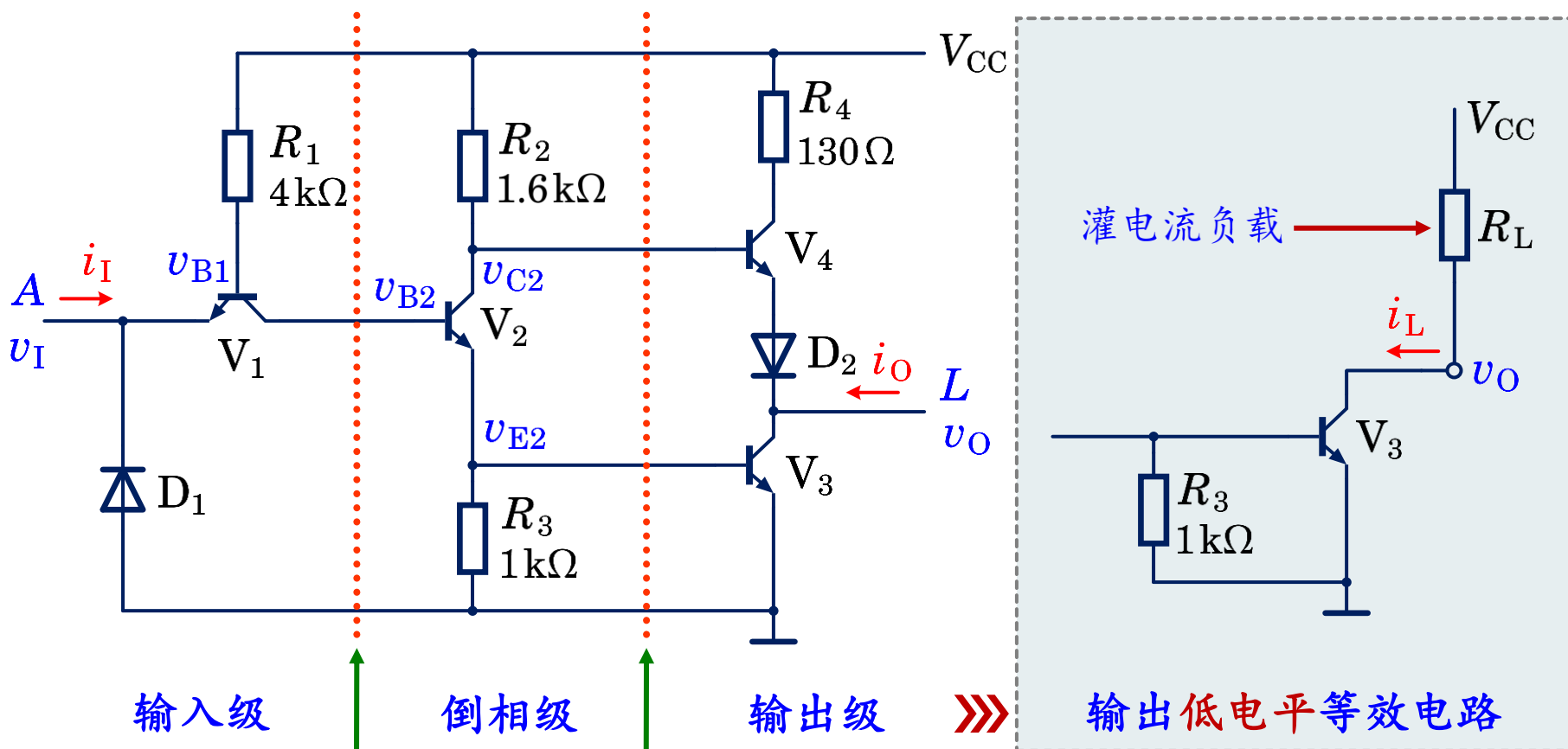
$$I_{OH(max)} \approx 0.4mA$$



2.3 TTL门电路

3. 输出特性 $i_O = f(v_O)$

✧ 输出低电平

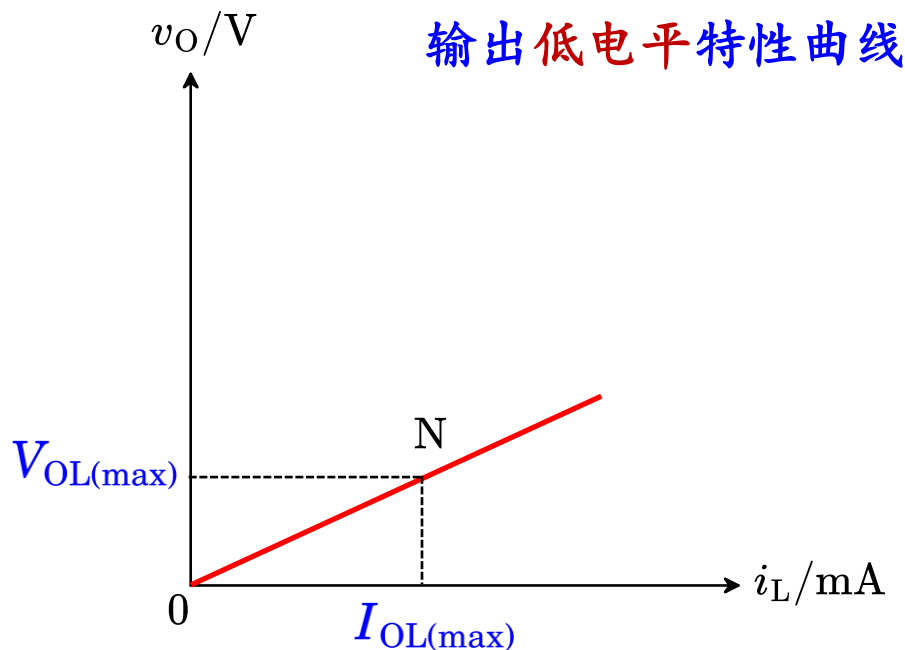
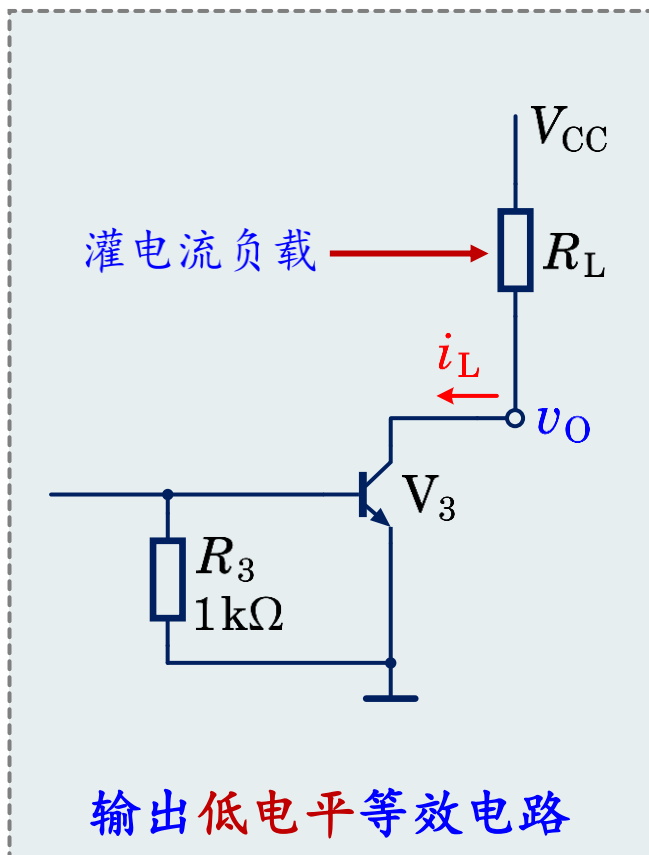




2.3 TTL门电路

3. 输出特性 $i_O = f(v_O)$

✧ 输出低电平



✧ 输出低电平不得高于

$$V_{OL(max)} = 0.4V$$

✧ 输出低电平灌电流

$$I_{OL(max)} \approx 16mA$$



2.3 TTL门电路

3. 输出特性 $i_O = f(v_O)$

✧ 门电路的扇出系数N（带负载能力）

- 在保证输出高、低电平基本不变的情况下，输出端允许驱动同类负载门的最大数目

$$N = \min \{N_{OH}, N_{OL}\}$$

✧ 输出高电平扇出系数

$$N_{OH} = n' \leq \frac{I_{OH(max)}}{I_{IH}}$$

$I_{OH(max)} \approx 0.4 \text{ mA}$ 流出

$I_{OL(max)} \approx 16 \text{ mA}$ 流入

$I_{IH} < 0.04 \text{ mA}$ 流入

$|I_{IL}| \approx 1 \text{ mA}$ 流出

✧ 输出低电平扇出系数

$$N_{OL} = n \leq \frac{I_{OL(max)}}{|I_{IL}|}$$



2.3 TTL门电路

例2-1

例 图示电路中，所有门的输入输出特性满足典型值，求 G_0 的扇出系数。

解 输出为低电平时

$$N_{OL} = n \leq \frac{I_{OL(max)}}{|I_{IL}|} = \frac{16}{1} = 16$$

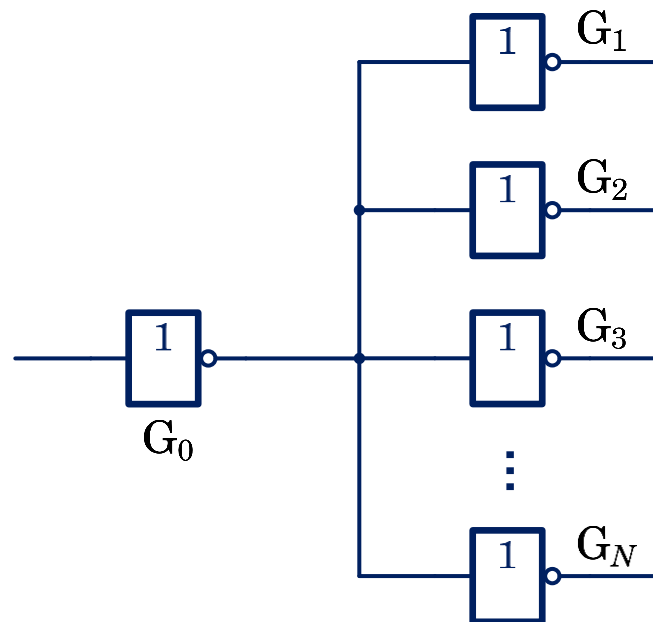
输出为高电平时

$$N_{OH} = n' \leq \frac{I_{OH(max)}}{I_{IH}} = \frac{0.4}{0.04} = 10$$

计算

$$N = \min \{N_{OH}, N_{OL}\} = 10$$

所以，最多可以驱动 10 个同样的非门



$I_{OH(max)} \approx 0.4 \text{ mA}$ 流出

$I_{OL(max)} \approx 16 \text{ mA}$ 流入

$I_{IH} < 0.04 \text{ mA}$ 流入

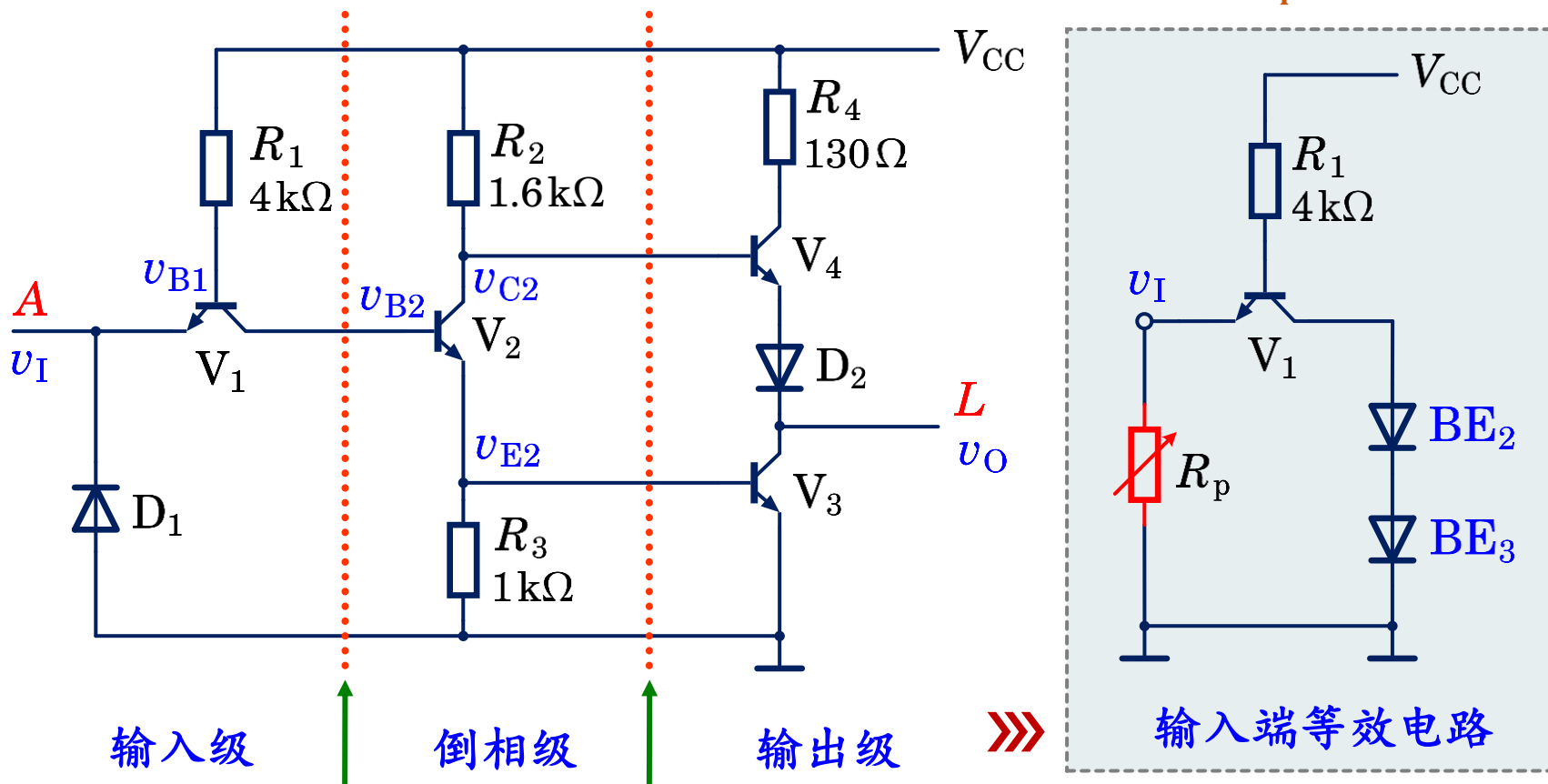
$|I_{IL}| \approx 1 \text{ mA}$ 流出

2.3 TTL门电路

4. 输入端负载特性 $v_I = f(R_p)$

✧ 输入端电压随输入处所接电阻变化的规律

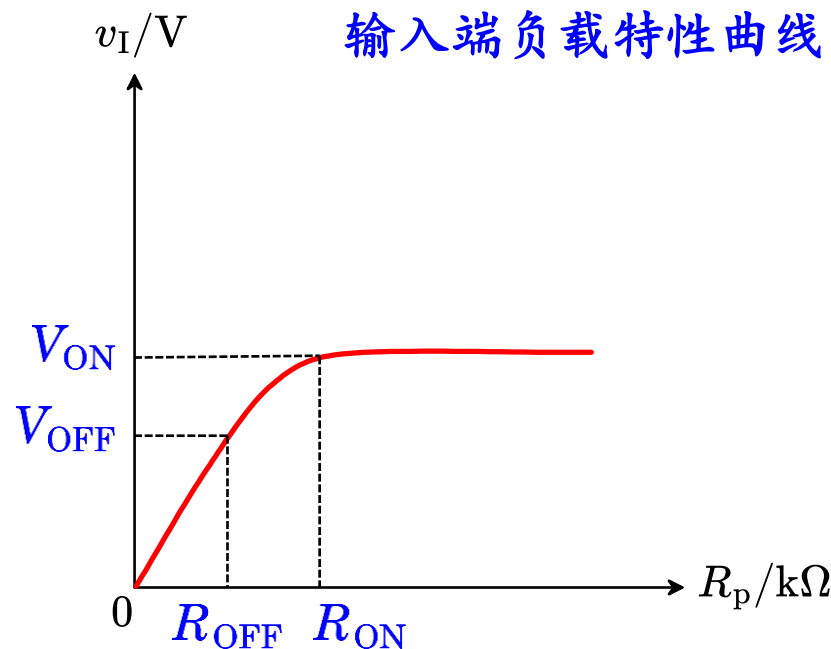
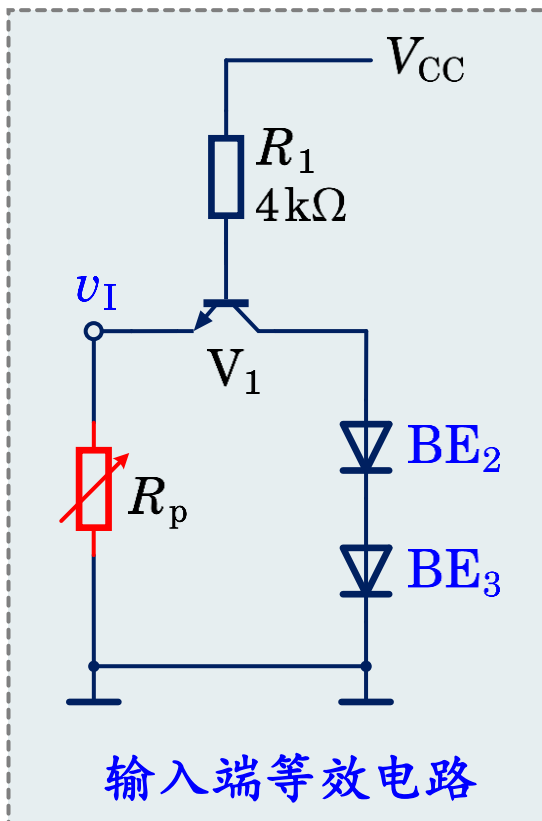
- 使用门电路时，有时需要在输入端与地之间接入电阻 R_p





2.3 TTL门电路

4. 输入端负载特性

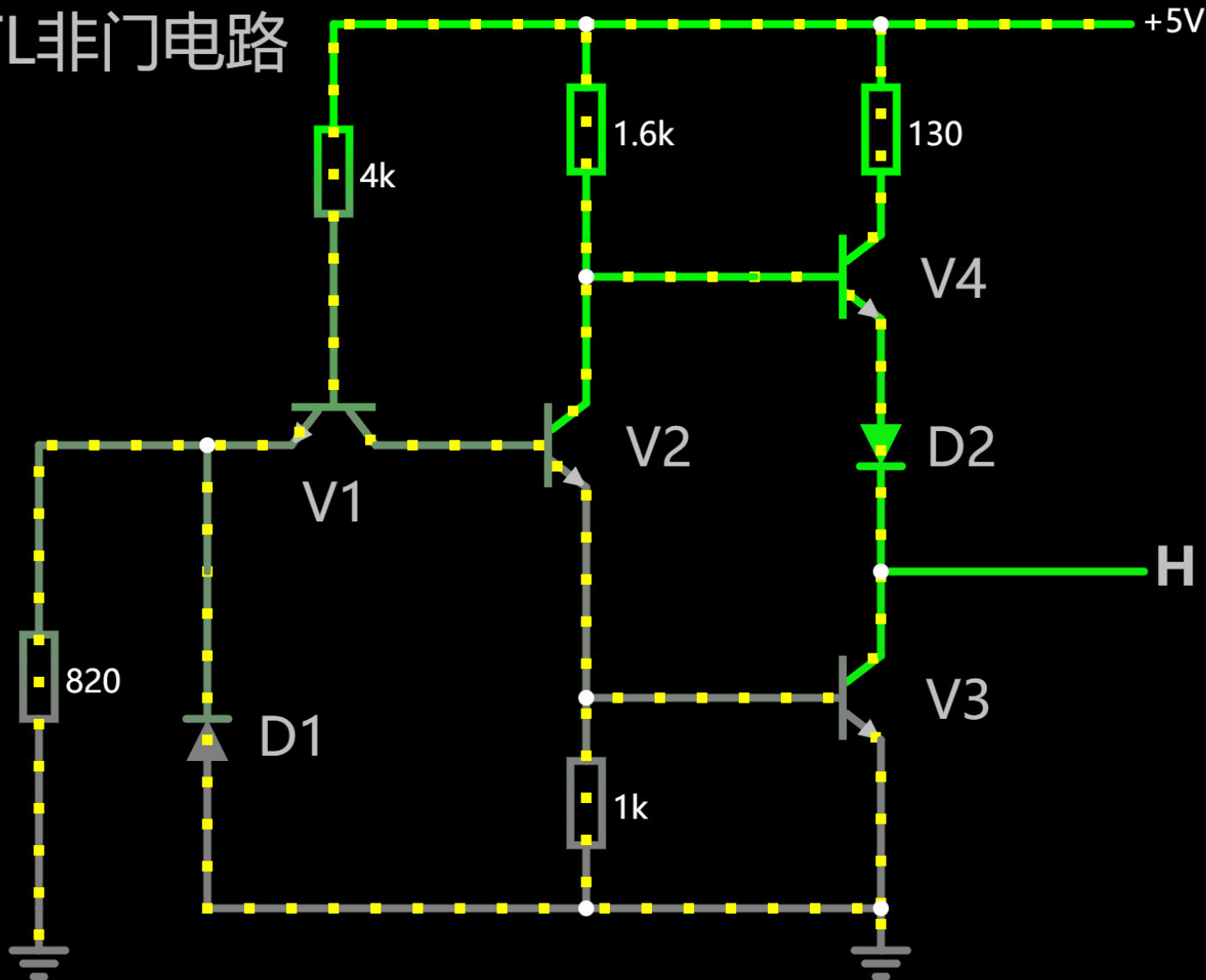


- $R_p < 0.91\text{k}\Omega$ 时，认为接入低电平；关门电阻 R_{OFF}
- $R_p > 1.93\text{k}\Omega$ 时，认为接入高电平；开门电阻 R_{ON}

✧ 输入端悬空，认为接入无穷大电阻，接入高电平！



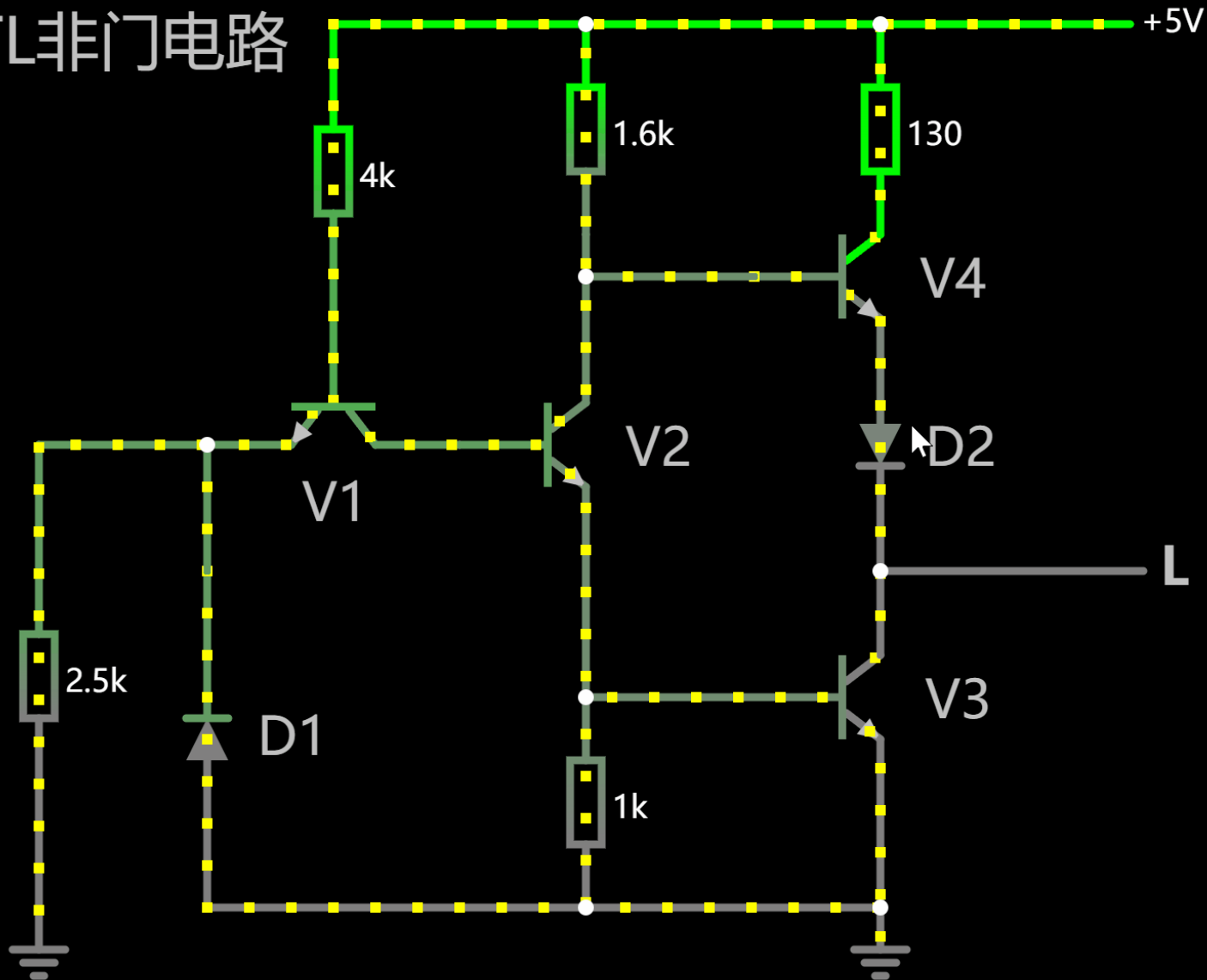
TTL非门电路



输入端电阻接地（0.82 kΩ未达开门电阻）



TTL非门电路



输入端电阻接地（2.5 kΩ大于开门电阻）



2.3 TTL门电路

5. 动态特性

✧ 传输延迟时间

- 当非门输入一个脉冲波形时，其输出波形有一定的延迟

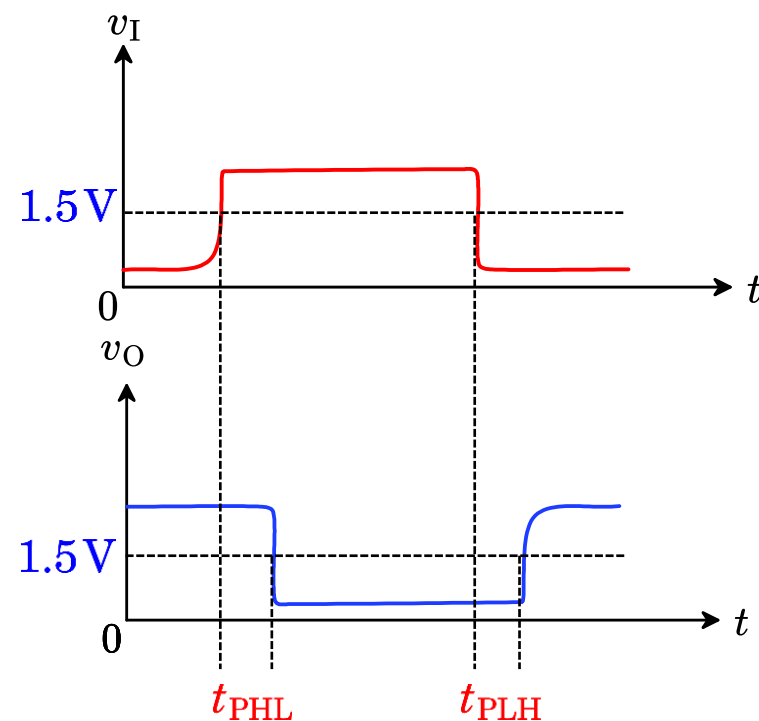
$$t_{pd} = \frac{1}{2} (t_{PLH} + t_{PHL})$$

🔧 74 系列、74LS 系列产品 t_{pd} 为 10ns

🔧 74AS 系列产品 t_{pd} 为 4ns

✧ 交流噪声容限

- 交流输入时，由于有传输延迟特性，门电路对输入信号的频率和幅值有一定的要求



TTL非门动态电压波形



2.3 TTL门电路

三. 其他TTL门电路

✧ 其他逻辑功能的TTL门电路

- 与非门
- 或非门
- 与门
- 或门
- 与或非门

✧ 集电极开路的门电路

- OC门

✧ 三态门

- TS门

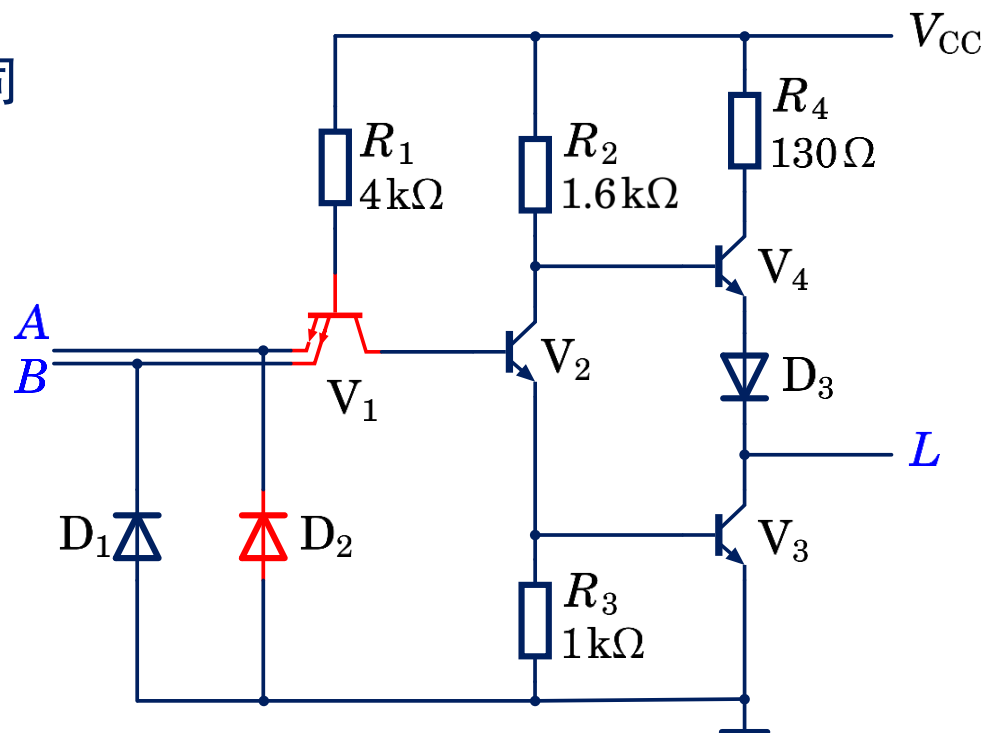


2.3 TTL门电路

1. TTL与非门

- ✧ 仅红色部分和TTL非门不同
- ✧ 外特性和TTL非门类似

- ✎ 当 A 、 B 有一个为低电平时， V_2 、 V_3 截止， V_4 导通，输出 L 为高电平
- ✎ 仅当 A 、 B 都为高电平时， V_2 、 V_3 导通， V_4 截止，输出 L 为低电平



- ✧ 扇出系数 N 的计算

$$L = \overline{AB}$$

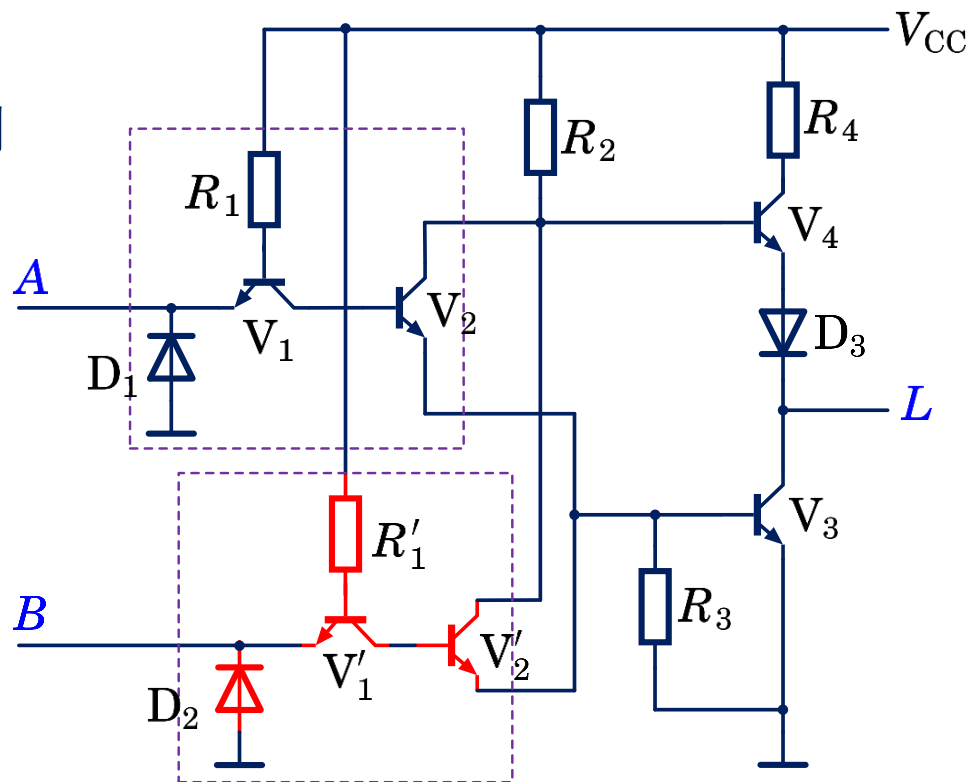
- ✎ 输入端为低电平时，按门数计算 I_{IL}
- ✎ 输入端为高电平时，按端子数计算 I_{IH}

2.3 TTL门电路

2. TTL或非门

- ✧ 仅红色部分和TTL非门不同
- ✧ 外特性和TTL非门类似

- ✎ 当 A 、 B 有一个为高电平时， V_3 导通、 V_4 截止，输出 L 为低电平
- ✎ 仅当 A 、 B 都为低电平时， V_3 截止、 V_4 导通，输出 L 为高电平



✧ 扇出系数N的计算

- ✎ 输入端为低电平时，按端子数计算 I_{IL}
- ✎ 输入端为高电平时，按端子数计算 I_{IH}

$$L = \overline{A + B}$$



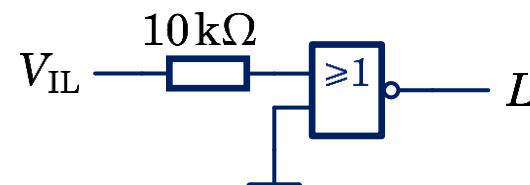
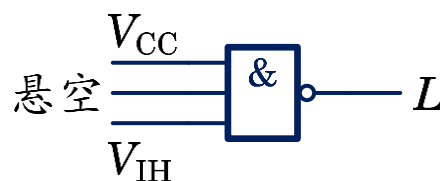
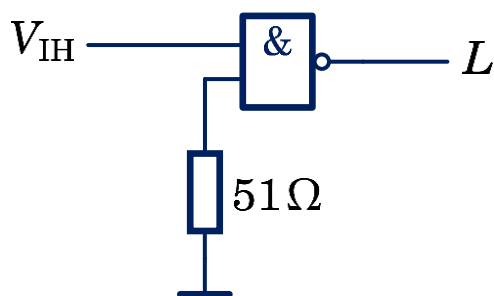
2.3 TTL门电路

例2-2

例 TTL 门电路如图所示，指出其输出状态。

关门电阻 $R_{\text{OFF}} = 0.91\text{k}\Omega$

开门电阻 $R_{\text{ON}} = 1.93\text{k}\Omega$



解

$$L = \overline{1 \cdot 0} = 1$$

高电平

$$L = \overline{1 \cdot 1 \cdot 1} = 0$$

低电平

$$L = \overline{1 + 0} = 0$$

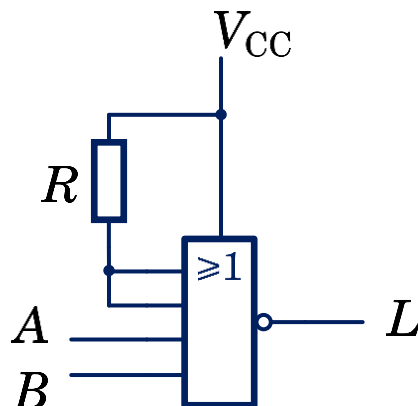
低电平



2.3 TTL门电路

例2-3

例 判断图示 TTL 门电路中能否按照要求的逻辑关系 $L = \overline{A + B}$ 正常工作？

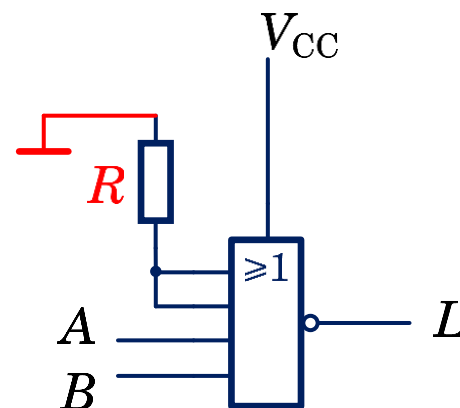


解

$$L = \overline{1 + 1 + A + B} = 0$$

总是低电平，不能按要求逻辑关系工作

如何修改？



$$R < 0.91\text{k}\Omega$$



2.3 TTL门电路

3. 集电极开路的门电路（OC门）

✧ 推拉式与非门优点

- 输出电阻很低（约几十欧）

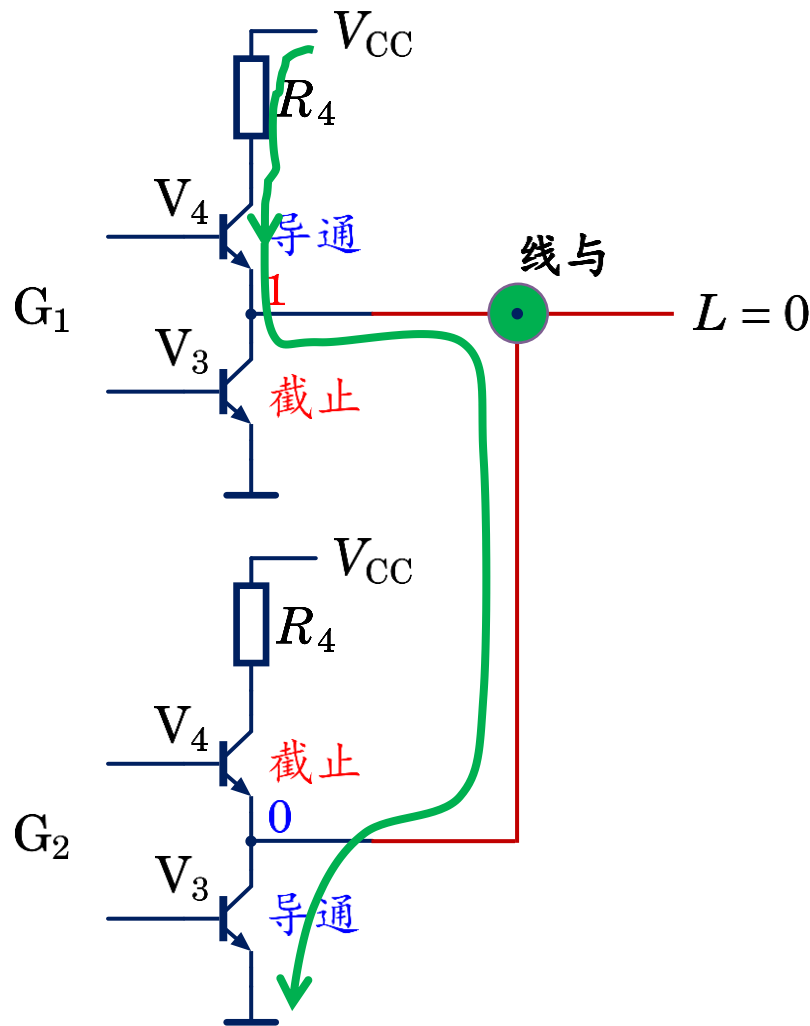
✧ 推拉式与非门缺点

- ① 输出高一低并联时，有很大的负载电流同时流过输出极，即输出端不能“线与”
- ② 输出高电平不能调 ($\leq V_{CC}$)
- ③ 不能驱动大电流、高低压负载

大电流，损坏门电路

✧ 改进方法

- 将V3集电极开路，称为OC门

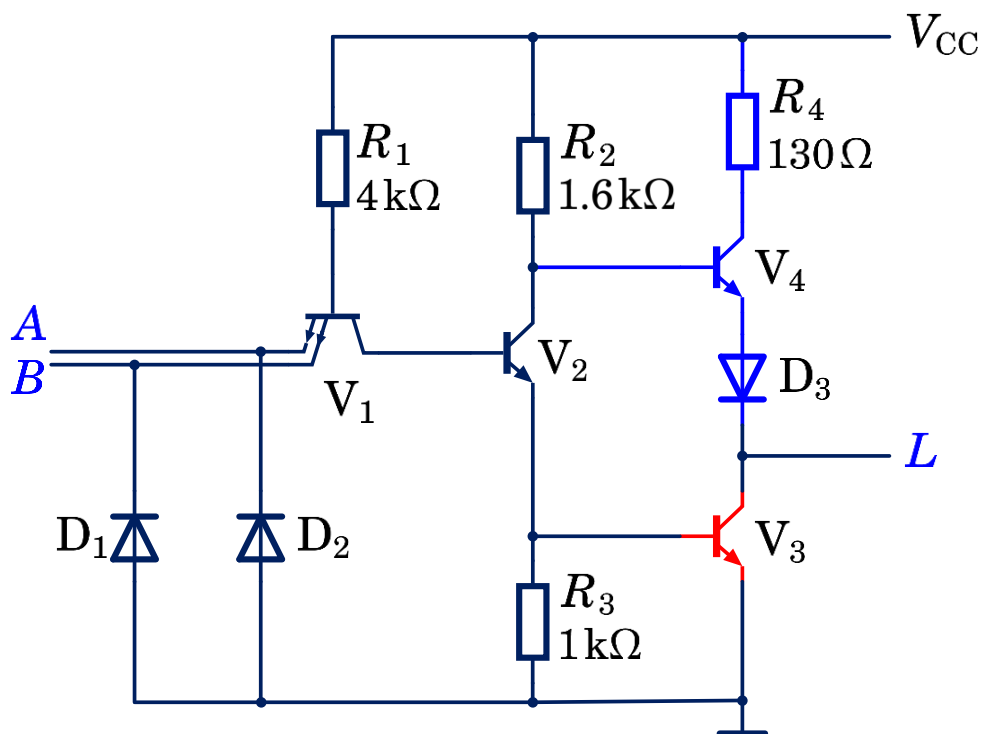
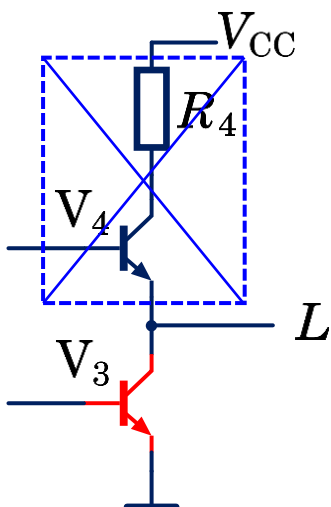


2.3 TTL门电路

3. 集电极开路的门电路（OC门）

✧ 改进方法

- 将V3集电极开路，构成OC门
- 以OC与非门为例



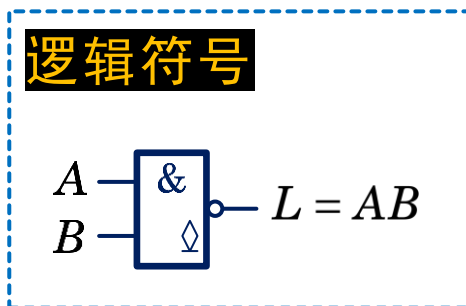
2.3 TTL门电路

3. 集电极开路的门电路（OC门）

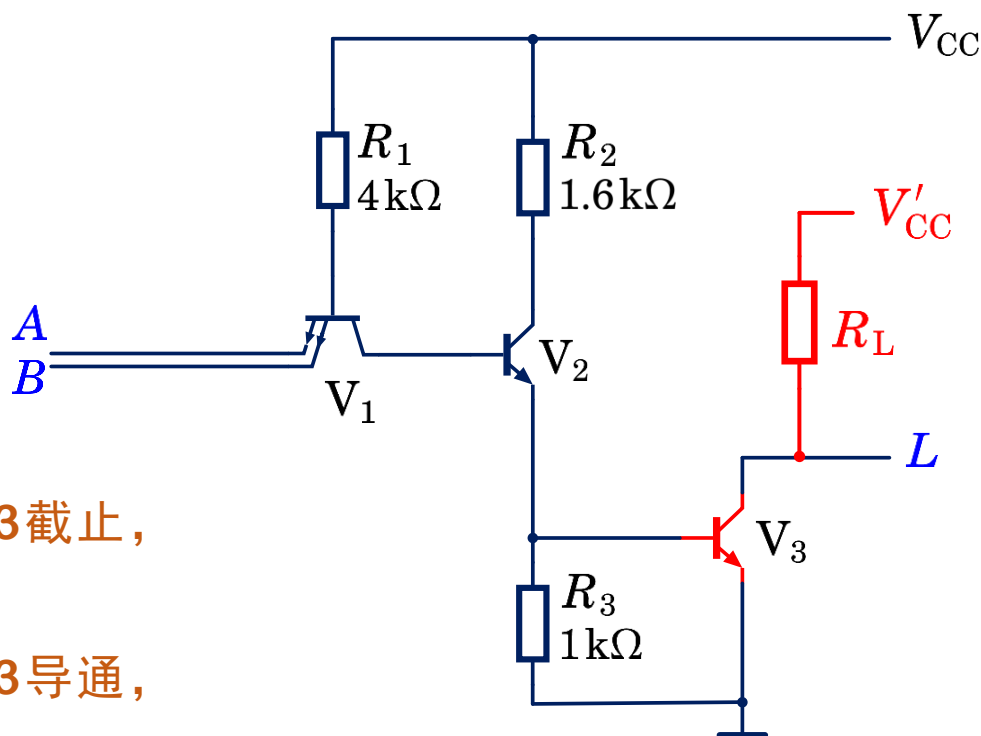
✧ 改进方法

- 将V3集电极开路，构成OC门
- 以OC与非门为例

✧ 逻辑符号



- 输入有低电平时，V3截止，输出高阻态
- 输入全高电平时，V3导通，输出低电平



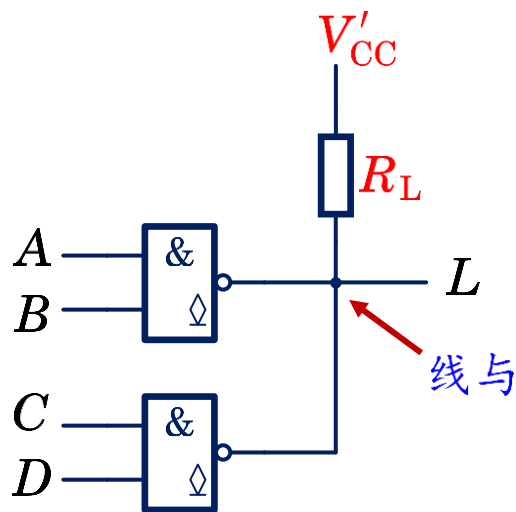


2.3 TTL门电路

3. 集电极开路的门电路（OC门）

✧ OC门的使用

✎ 使用 OC 门时，应外接上拉电阻 R_L 和电源 V'_{CC}



✧ “线与” 输出函数式

$$L = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$



2.3 TTL门电路

3. 集电极开路的门电路（OC门）

✧ OC门的使用

✎ 使用 OC 门时，应外接上拉电阻 R_L 和电源 V'_{CC}

✎ V'_{CC} 根据 V_{OH} 的需要选定

✎ R_L 的计算公式：

$$R_{L(max)} < R_L < R_{L(max)}$$

$$R_{L(max)} = \frac{V'_{CC} - V_{OH}}{nI_{OH} + mI_{IH}}$$

$$R_{L(min)} = \frac{V'_{CC} - V_{OL}}{I_{LM} - m'|I_{IL}|}$$

◇ V_{OH} 、 V_{OL} 为规定的高、低电平

◇ n 为 OC 门数目

◇ I_{OH} 为 OC 门输出三极管截止漏电流

◇ m 为负载门输入端子数

◇ I_{LM} 为最大允许的负载电流

◇ m' 为负载门数目（与非门）或者负载门输入端子数目（或非门）



2.3 TTL门电路

4. 三态门（TS门）

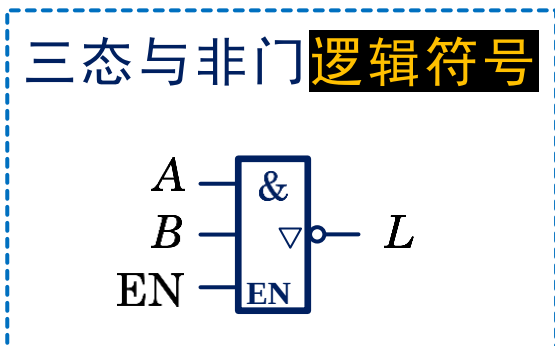
✧ 输出的特点

- 具有一般TTL门电路的高、低电平两种状态
- 具有第三状态，称为高阻态，或者禁止态

✧ 分类

- 非门、与门、或门、与非门、或非门……

✧ 三态与非门逻辑符号



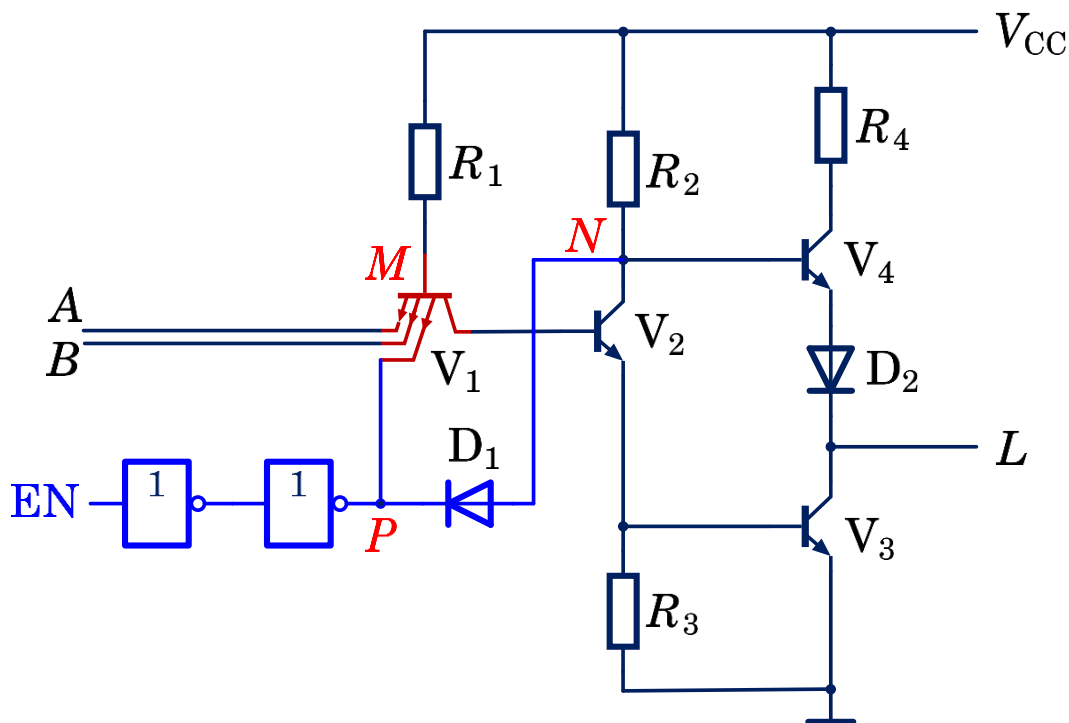


2.3 TTL门电路

4. 三态门 (TS门)

✧ 三态与非门

• EN为“使能端”

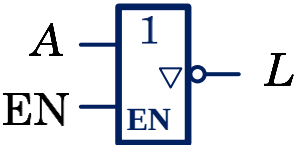
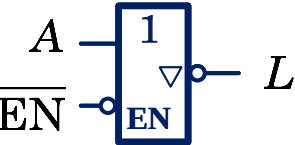
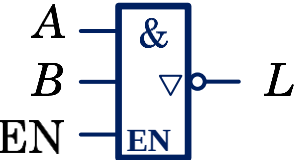
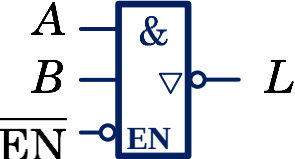


✎ 当 $EN = 1$ 时： P 点为高电平，二极管 D_1 截止，对 M 、 N 两点没有影响，原与非门电路正常工作。

✎ 当 $EN = 0$ 时： P 点为低电平，二极管 D_1 导通， M 、 N 两点都为 $0.9V$ ， V_4 、 V_3 都处于截止状态，输出 L 为高阻状态，与输入 A 、 B 无关。



2.3 TTL门电路

常用三态门		
逻辑符号	名称	输出表达式
	三态非门 (1控制有效)	$L = \begin{cases} \overline{A}, & \text{当 } EN = 1 \text{ 时} \\ \text{高阻}, & \text{当 } EN = 0 \text{ 时} \end{cases}$
	三态非门 (0控制有效)	$L = \begin{cases} \overline{A}, & \text{当 } \overline{EN} = 0 \text{ 时} \\ \text{高阻}, & \text{当 } \overline{EN} = 1 \text{ 时} \end{cases}$
	三态与非门 (1控制有效)	$L = \begin{cases} \overline{AB}, & \text{当 } EN = 1 \text{ 时} \\ \text{高阻}, & \text{当 } EN = 0 \text{ 时} \end{cases}$
	三态与非门 (0控制有效)	$L = \begin{cases} \overline{AB}, & \text{当 } \overline{EN} = 0 \text{ 时} \\ \text{高阻}, & \text{当 } \overline{EN} = 1 \text{ 时} \end{cases}$

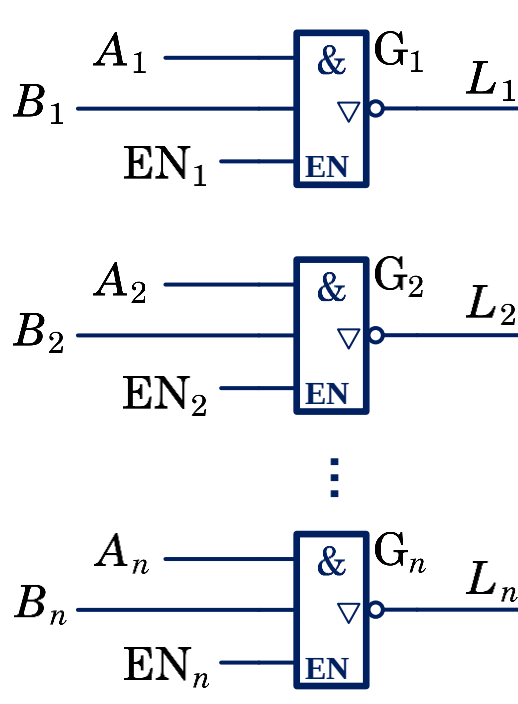


2.3 TTL门电路

4. 三态门（TS门）

① 三态门应用于总线结构

- 总线结构要求任何时刻各三态门只能有一个门使能端有效
- 即只有一个三态门处于数据传输状态，而其他门均处于禁止状态

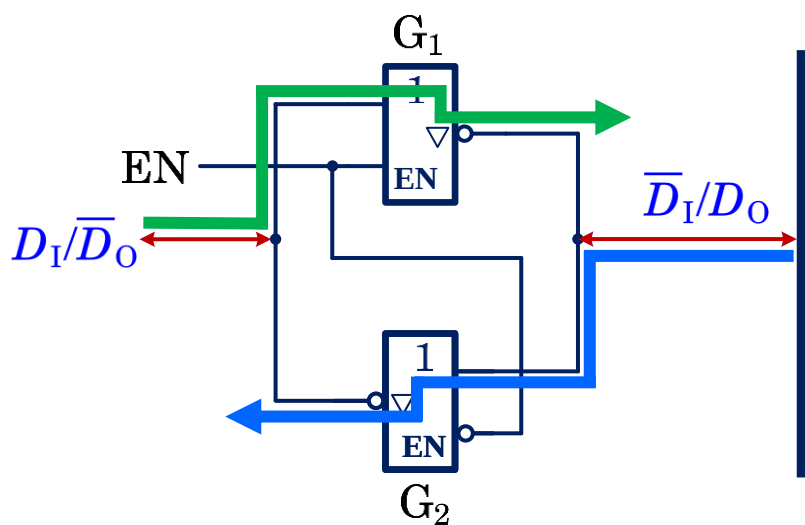




2.3 TTL门电路

4. 三态门 (TS门)

① 三态门应用于数据双向传输



当 $EN=1$ 时: G_1 工作, G_2 为高阻态, 数据 D_I 经 G_1 反相后送到总线上。

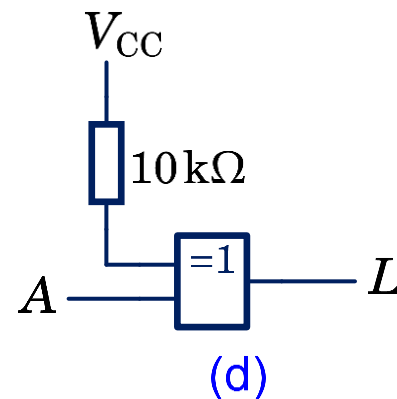
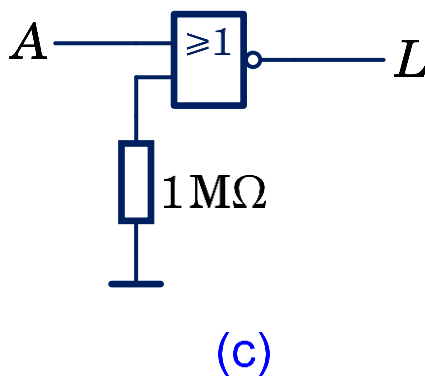
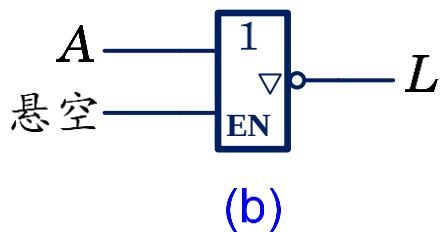
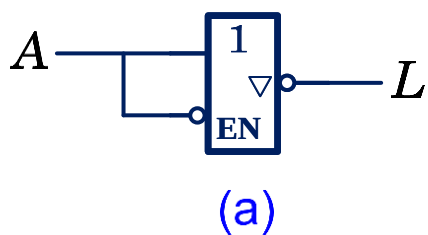
当 $EN=0$ 时: G_2 工作, G_1 为高阻态, 总线数据 D_O 经 G_2 反相后输出。



2.3 TTL门电路

例2-4

例 电路如图 (a) (b) (c) (d) 所示，门电路器件均为 TTL 系列。问：哪个电路能实现逻辑功能 $L = \overline{A}$ ？



解 (a) $A = 1$ 时，输出为高阻态，否！

(b) 悬空相当于高电平，三态非门使能有效， $L = \overline{A}$ ，是！

(c) 大于开门电阻接地，相当于高电平， $L = \overline{A+1} = 0$ ，否！

(d) $10\text{k}\Omega$ 上拉电阻接电源，相当于高电平， $L = A \oplus 1 = \overline{A}$ ，是！



§2.4 CMOS门电路

CMOS门电路的结构如何？

CMOS门电路的工作原理？

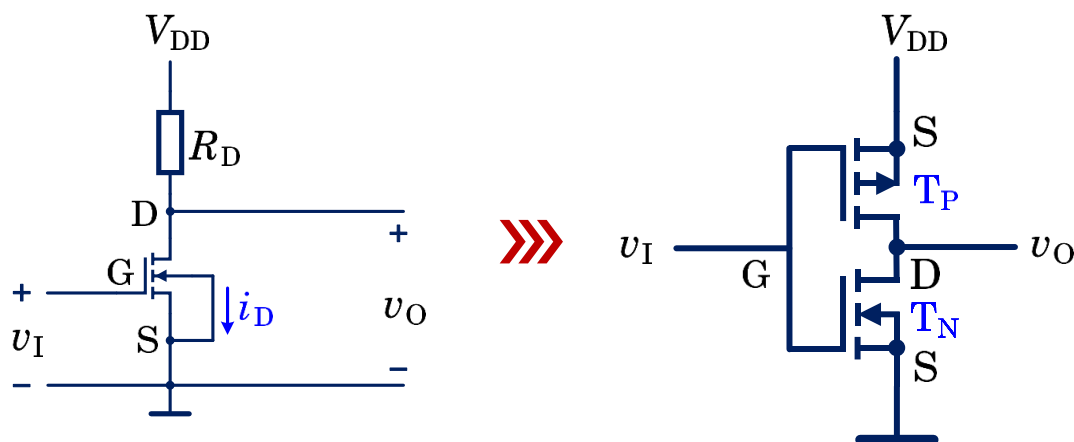
CMOS门电路的外特性？

如何正确使用CMOS门电路器件？

2.4 CMOS门电路

一. CMOS非门的结构及原理

✧ CMOS非门电路结构



- ① 基本电路由 T_P 管和 T_N 管串联构成
- ② 栅极连在一起作为非门的输入端
- ③ 漏极连在一起作为非门的输出端
- ④ T_N 源极接地，作为开关管（高电平导通）
- ⑤ T_P 源极接电源，作为负载管（低电平导通）



2.4 CMOS门电路

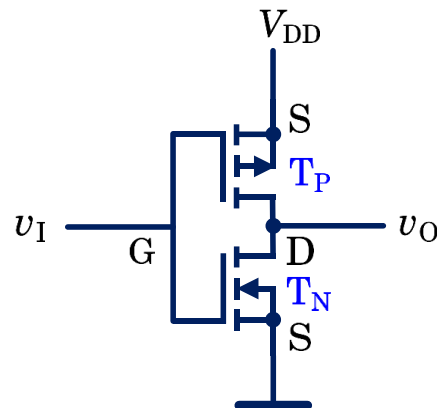
一. CMOS非门的结构及原理

✧ CMOS非门工作原理

✎ $V_{DD} > V_{TN} + |V_{TP}|$

✎ V_{TN} 为 MOS 管 T_N 的开启电压

✎ V_{TP} 为 MOS 管 T_P 的开启电压

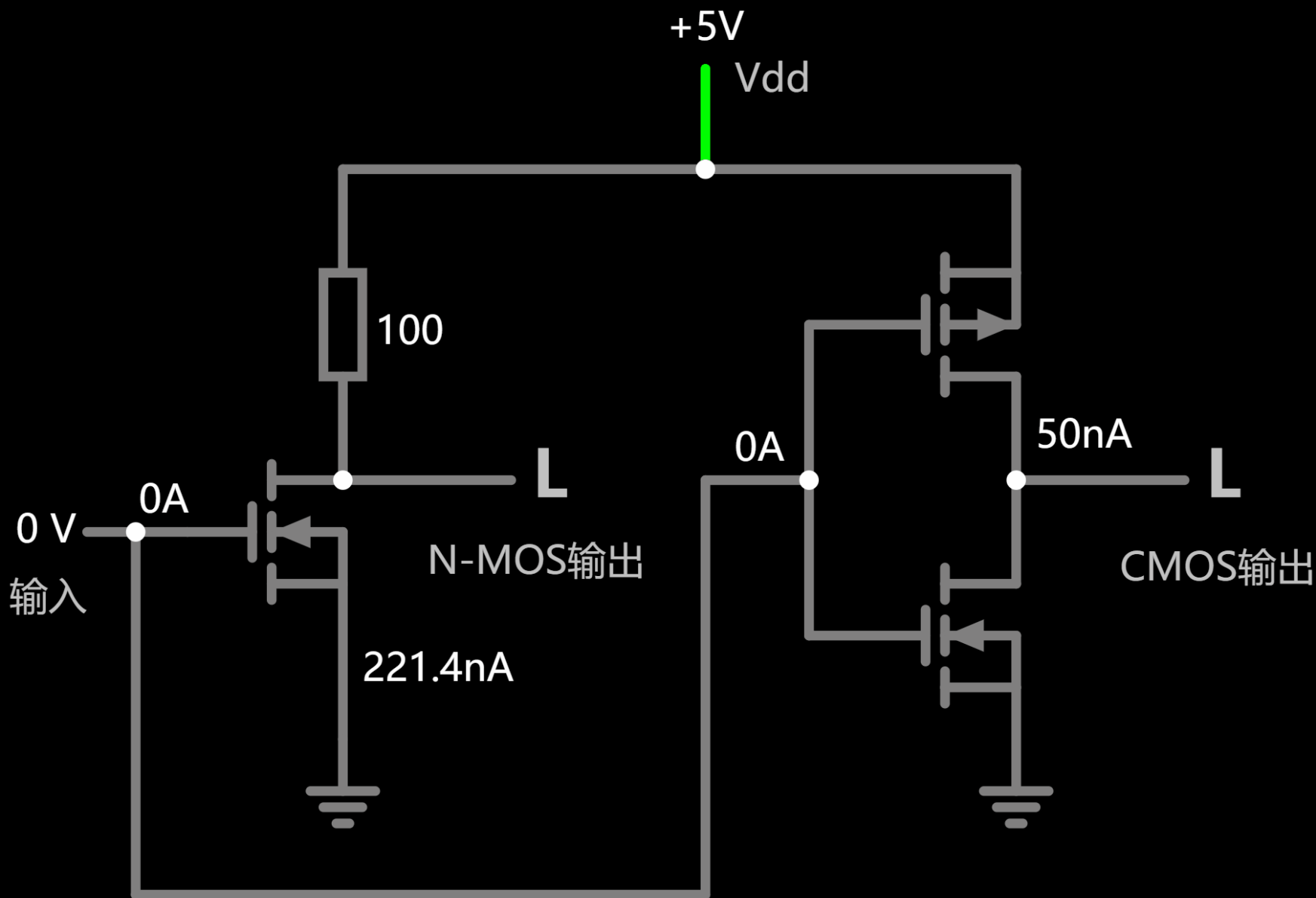


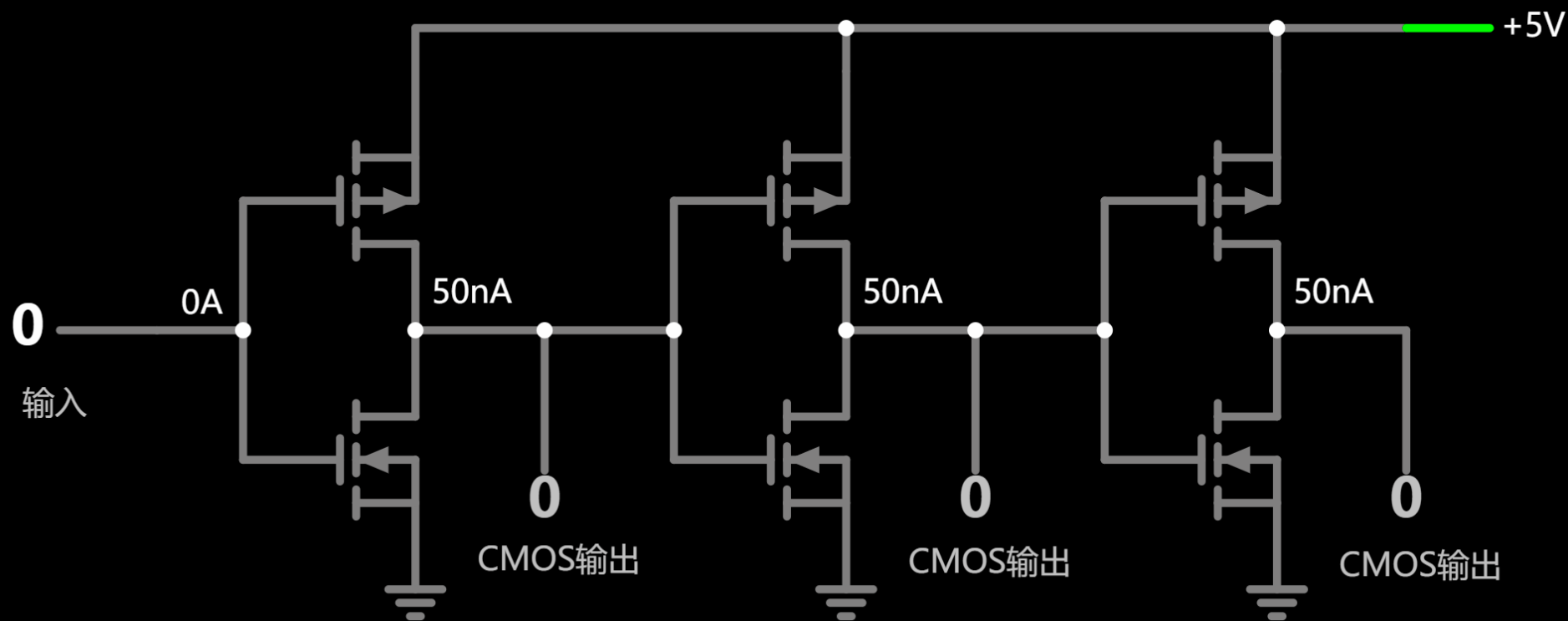
CMOS非门各MOS管工作状态及IO关系			
v_I	T_P	T_N	v_O
0	导通	截止	V_{DD}
V_{DD}	截止	导通	0

真值表	
A	L
0	1
1	0

✎ 逻辑符号与表达式 $A \rightarrow \boxed{1} \rightarrow L = \overline{A}$

- 非门电路中，无论电路处于何种状态， T_N 、 T_P 中总有一个截止，输出电阻又很高，所以它的静态功耗极低，有微功耗电路之称



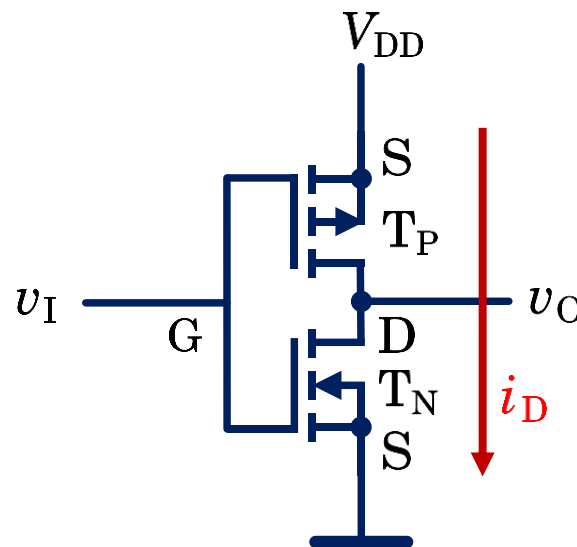




2.4 CMOS门电路

二. CMOS非门外特性

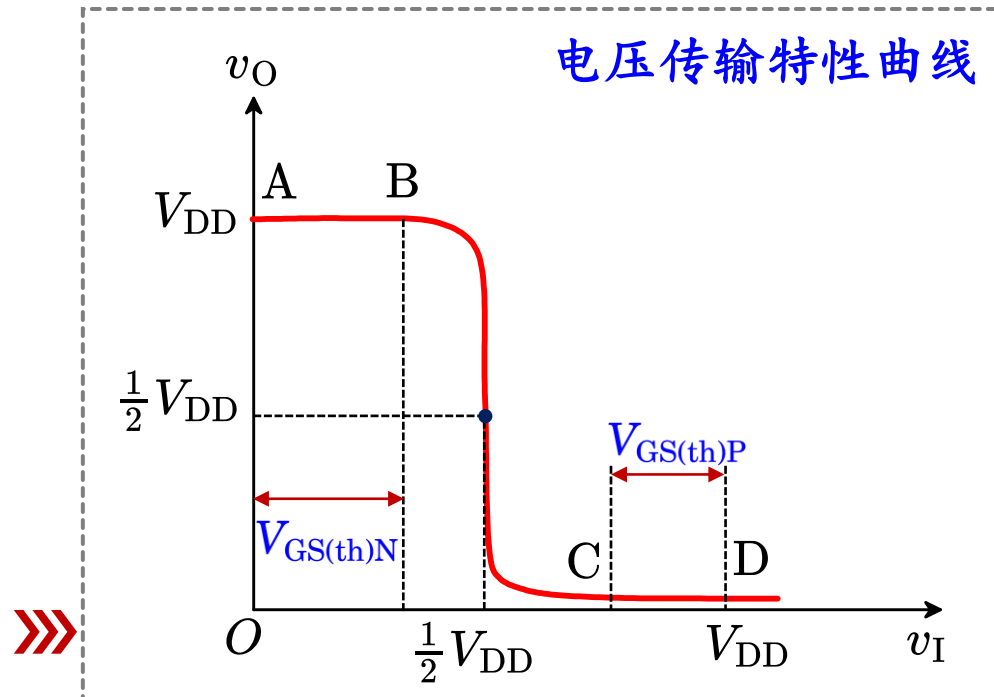
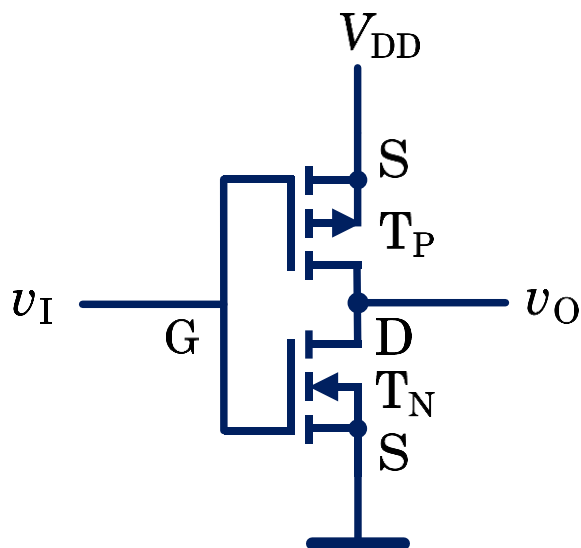
- ✧ 电压传输特性
- ✧ 电流传输特性
- ✧ 输入特性
- ✧ 输入端负载特性
- ✧ 输出特性
- ✧ 动态特性





2.4 CMOS门电路

1. 电压传输特性 $v_O = f(v_I)$



AB 段（截止区）	输出 高 电平电压（ T_N 截止、 T_P 饱和）
BC 段（转折区）	中点对应的输入电压为门槛电压（ T_N 、 T_P 导通）
CD 段（饱和区）	输出 低 电平电压（ T_N 饱和、 T_P 截止）



2.4 CMOS门电路

1. 电压传输特性 $v_O = f(v_I)$

✧ 低电平噪声容限

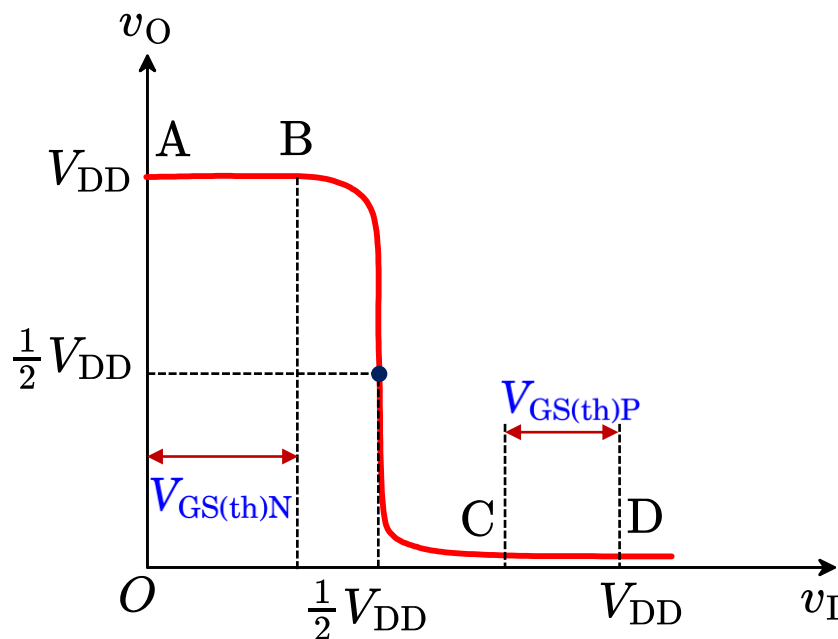
$$V_{NL} = \frac{1}{2} V_{DD}$$

✧ 高电平噪声容限

$$V_{NH} = \frac{1}{2} V_{DD}$$

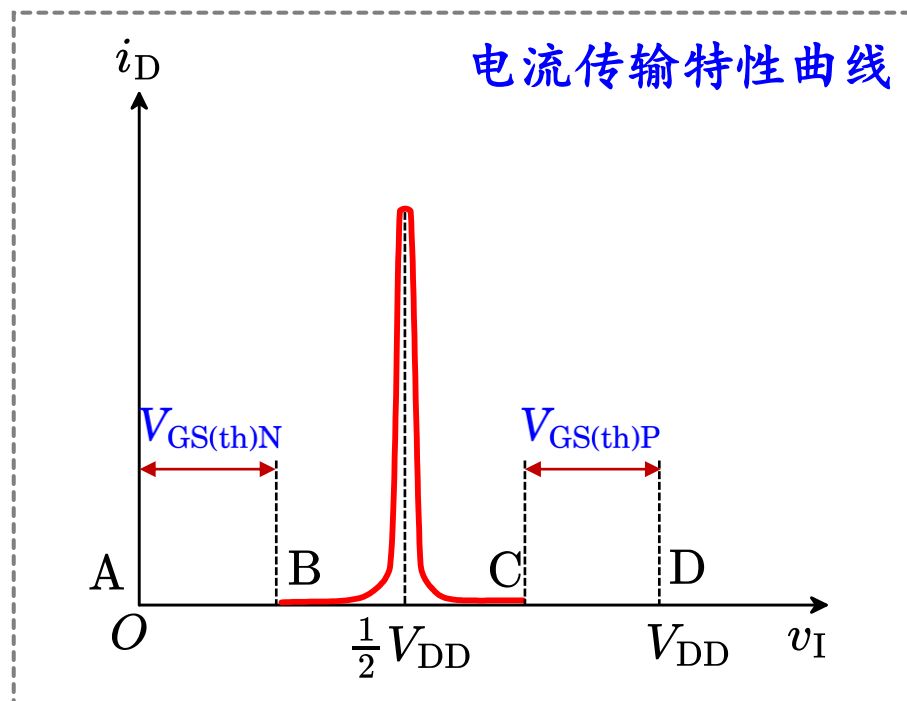
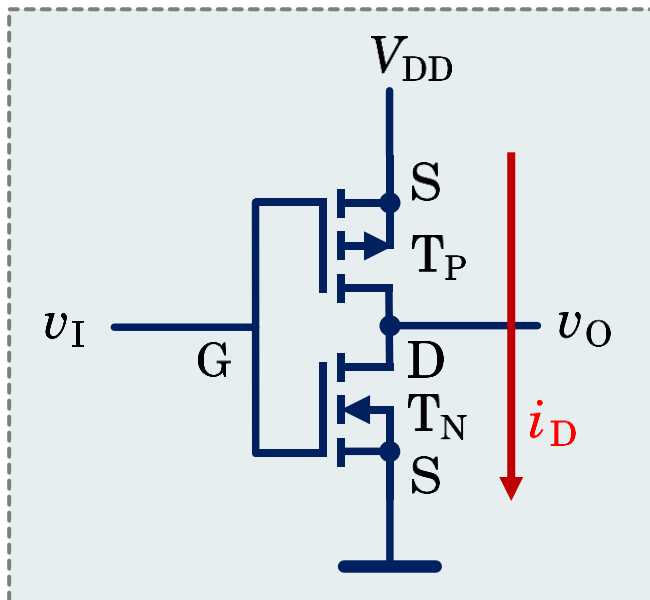
✧ 阈值电压

$$V_{TH} = \frac{1}{2} V_{DD}$$



2.4 CMOS门电路

2. 电流传输特性 $i_D = f(v_I)$



AB 段 (截止区)	T_N 截止, $i_D \approx 0$
CD 段 (饱和区)	T_P 截止, $i_D \approx 0$
BC 段 (转折区)	T_N 、 T_P 导通, $v_I = \frac{1}{2} V_{DD}$ 附近 i_D 最大



2.4 CMOS门电路

3. 输入特性、输入端负载特性

✧ 输入特性

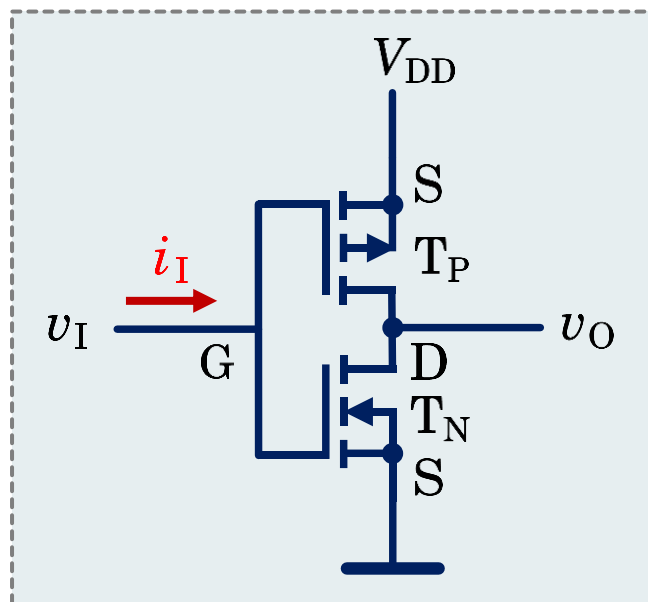
$$i_I = f(v_I) \approx 0$$

✧ 输入端负载特性

- 无论接入多大电阻，输入端相当于接地，为低电平
- 输入端悬空时，输入端状态不确定，所以输入端不能悬空

✧ 扇出系数

- 系数很大，带负载能力强



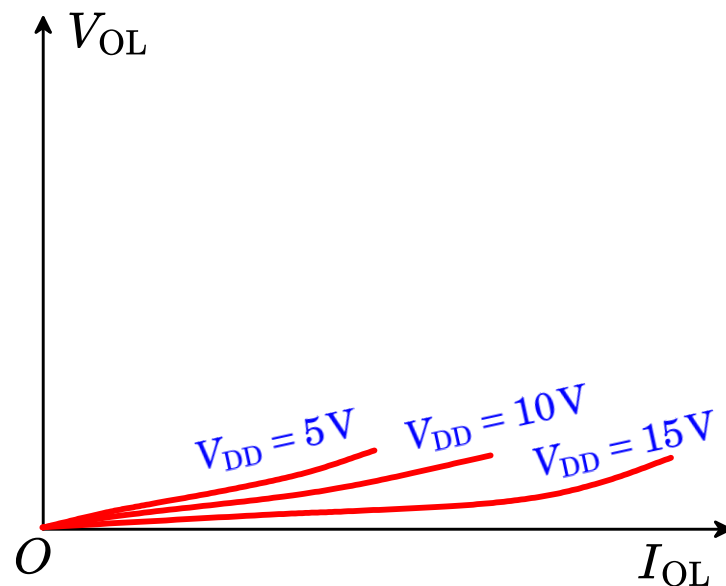
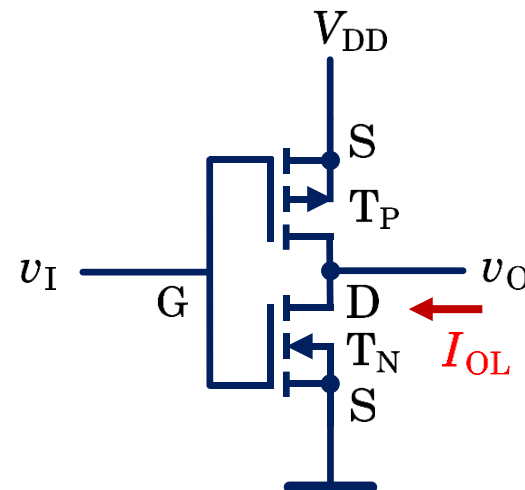
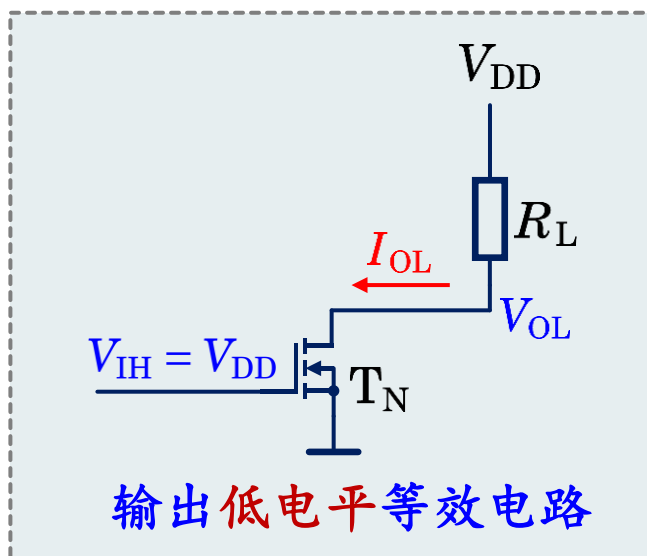


2.4 CMOS门电路

4. 输出特性 $i_L = f(v_O)$

✧ 输出低电平 $v_O = V_{OL}$

- ① T_N 管导通、 T_P 管截止
- ② I_{OL} 从负载 R_L 流入 T_N 管
- ③ V_{DD} 一定时, V_{OL} 随 I_{OL} 的增大而减小
- ④ I_{OL} 一定时, V_{OL} 随 V_{DD} 的增大而减小



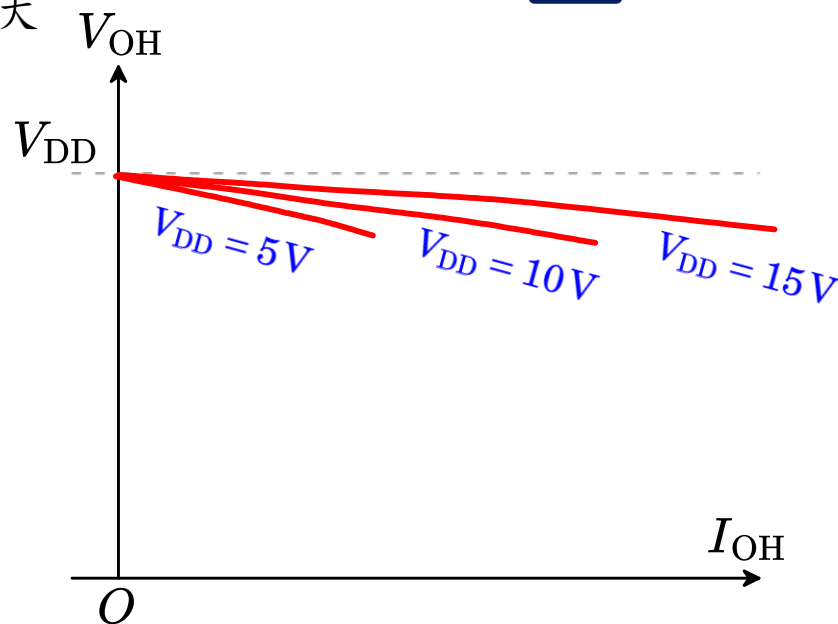
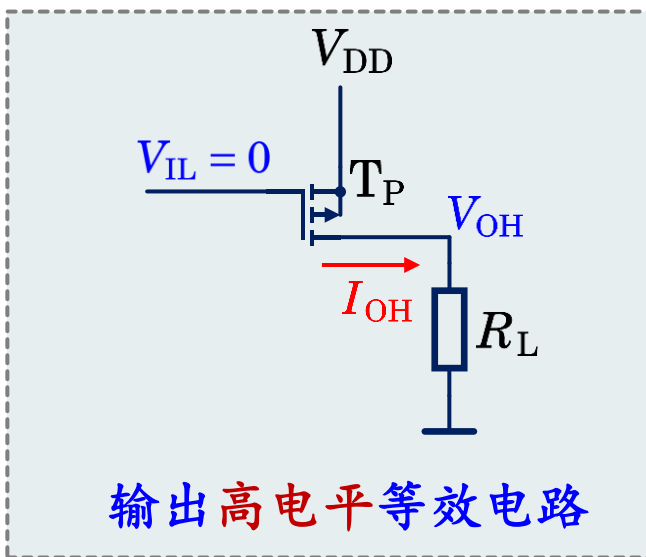
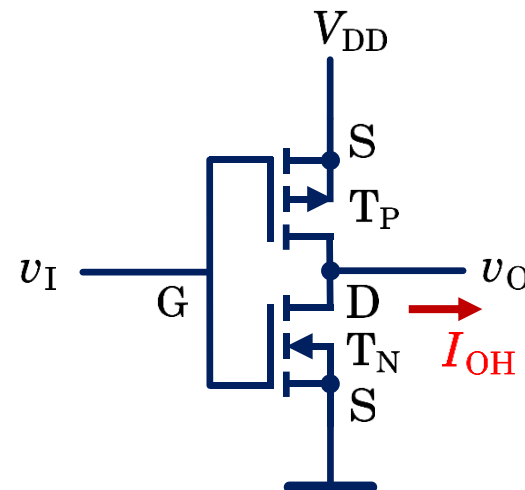


2.4 CMOS门电路

4. 输出特性 $i_L = f(v_O)$

✧ 输出高电平 $v_O = V_{OH}$

- ① T_P 管导通、 T_N 管截止
- ② I_{OH} 从 T_P 管流出到负载 R_L
- ③ V_{DD} 一定时, V_{OH} 随 I_{OH} 的增大而减小
- ④ I_{OH} 一定时, V_{OH} 随 V_{DD} 的增大而增大





2.4 CMOS门电路

5. 动态特性

✧ 传输延迟时间

- 当非门输入一个脉冲波形（交流输入）时，其输出波形有一定延迟

✎ 4000 系列产品延迟时间为 45ns

✎ 74HC 系列产品延迟时间为 10ns

✧ 交流噪声容限

- 与传输延迟时间有关
- 与电源电压有关

✧ 动态功耗

- 静态功耗很低，在微瓦的数量级上
- 当输入交流信号时，信号频率越高，输入电压越大，动态功耗越大



2.4 CMOS门电路

三. 其他CMOS门电路

✧ 其他逻辑功能的CMOS门电路

- 与非门
- 或非门
- 与门
- 或门
- 与或非门

✧ 漏极开路的门电路

- OD门

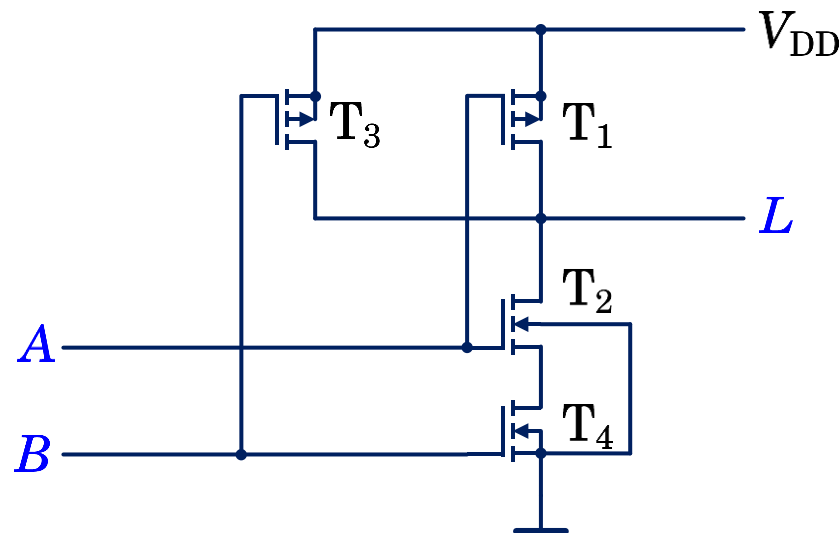
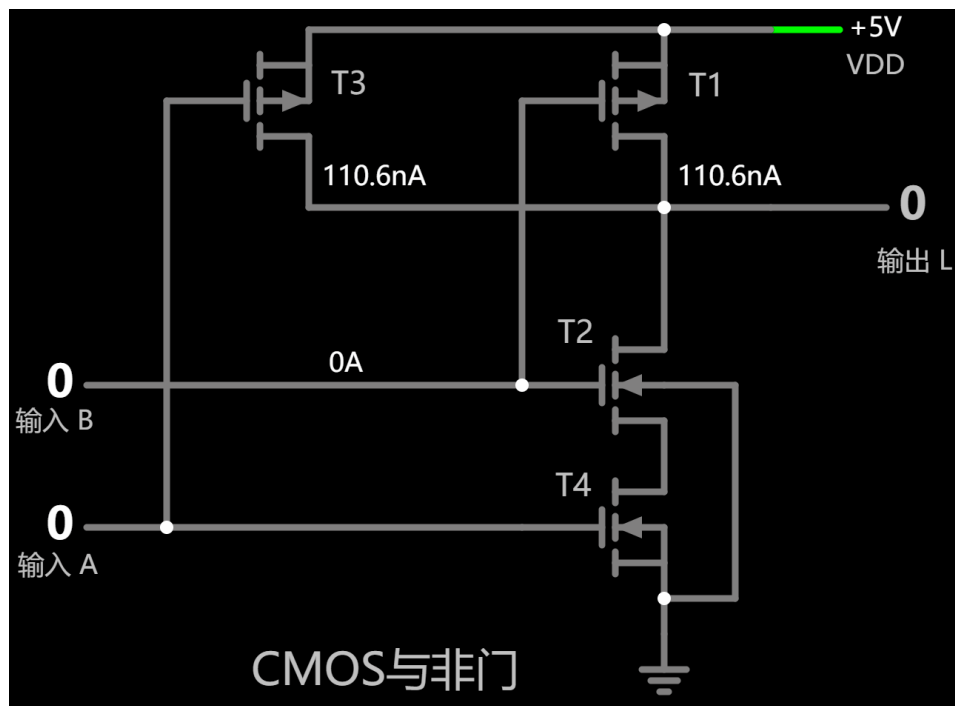
✧ 三态门

- TS门



2.4 CMOS门电路

1. CMOS与非门 $L = \overline{AB}$

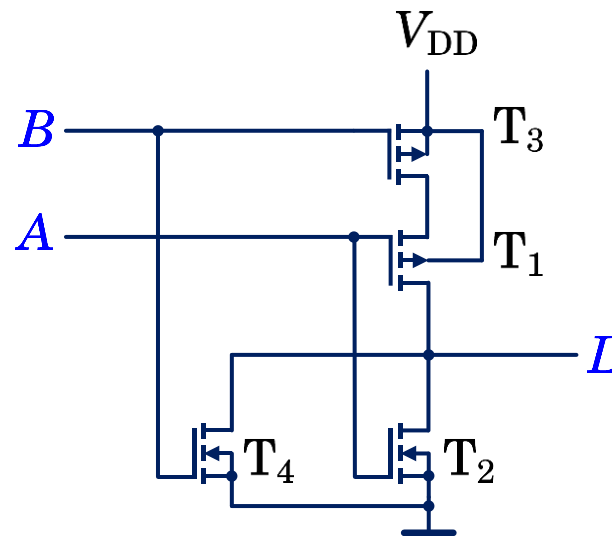
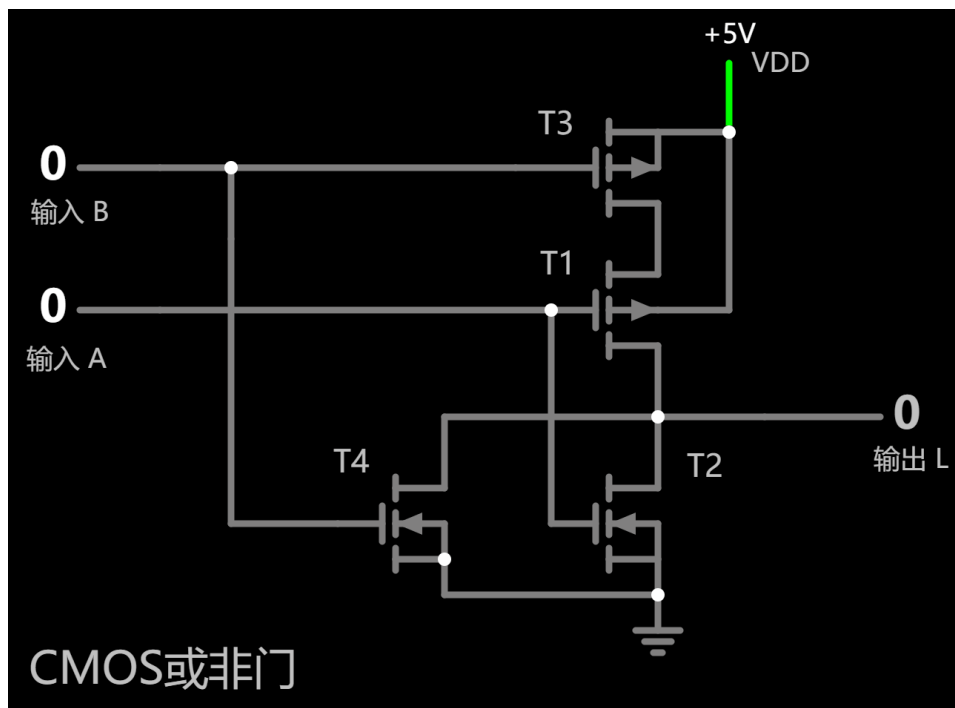


A	B	导通	截止	L
0	0	$T_1 T_3$	$T_2 T_4$	1
0	1	$T_1 T_4$	$T_2 T_3$	1
1	0	$T_2 T_3$	$T_1 T_4$	1
1	1	$T_2 T_4$	$T_1 T_3$	0



2.4 CMOS门电路

2. CMOS或非门 $L = \overline{A + B}$



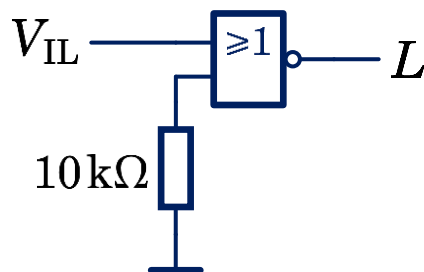
A	B	导通	截止	L
0	0	T ₁ T ₃	T ₂ T ₄	1
0	1	T ₁ T ₄	T ₂ T ₃	0
1	0	T ₂ T ₃	T ₁ T ₄	0
1	1	T ₂ T ₄	T ₁ T ₃	0



2.4 CMOS门电路

例2-5

例 图中或非门是 CMOS 系列器件，指出该门电路的输出状态是什么？



解 V_{IL} 相应输入端为低电平

另一个输入端用 $10k$ 电阻接地，也是低电平

$$L = \overline{0 + 0} = 1$$

输出端状态是高电平



2.4 CMOS门电路

3. 漏极开路的门电路（OD门）

✧ OD门和OC门的逻辑符号一致

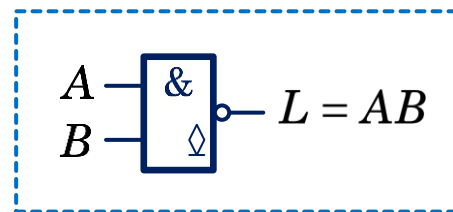
✧ 主要应用

- ① 用于实现线与逻辑
- ② 用在输出缓冲/驱动器中
- ③ 用于输出电平的转换
- ④ 用于满足吸收大负载电路的需要

✧ 使用条件

🔧 外接上拉电阻 R_L 和电源 V'_{DD}

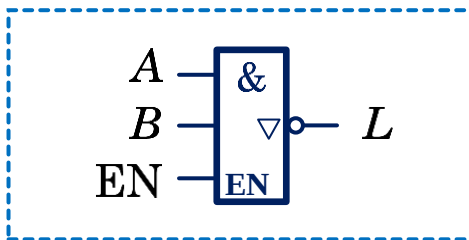
🔧 R_L 的计算方法与 OC 门相同



2.4 CMOS门电路

4. 三态门（TS门）

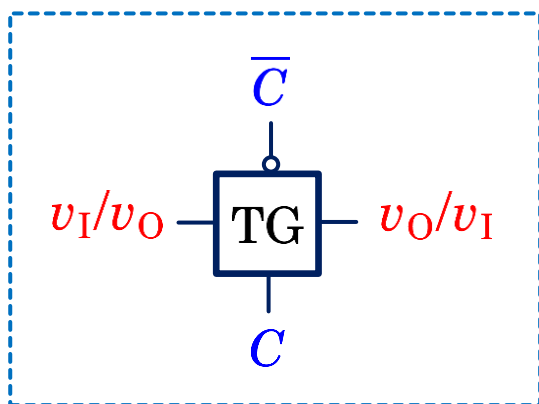
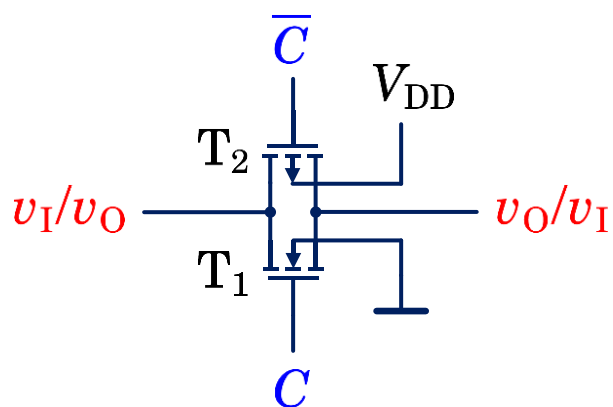
✧ CMOS电路三态门功能、种类、符号等同TTL电路三态门相同





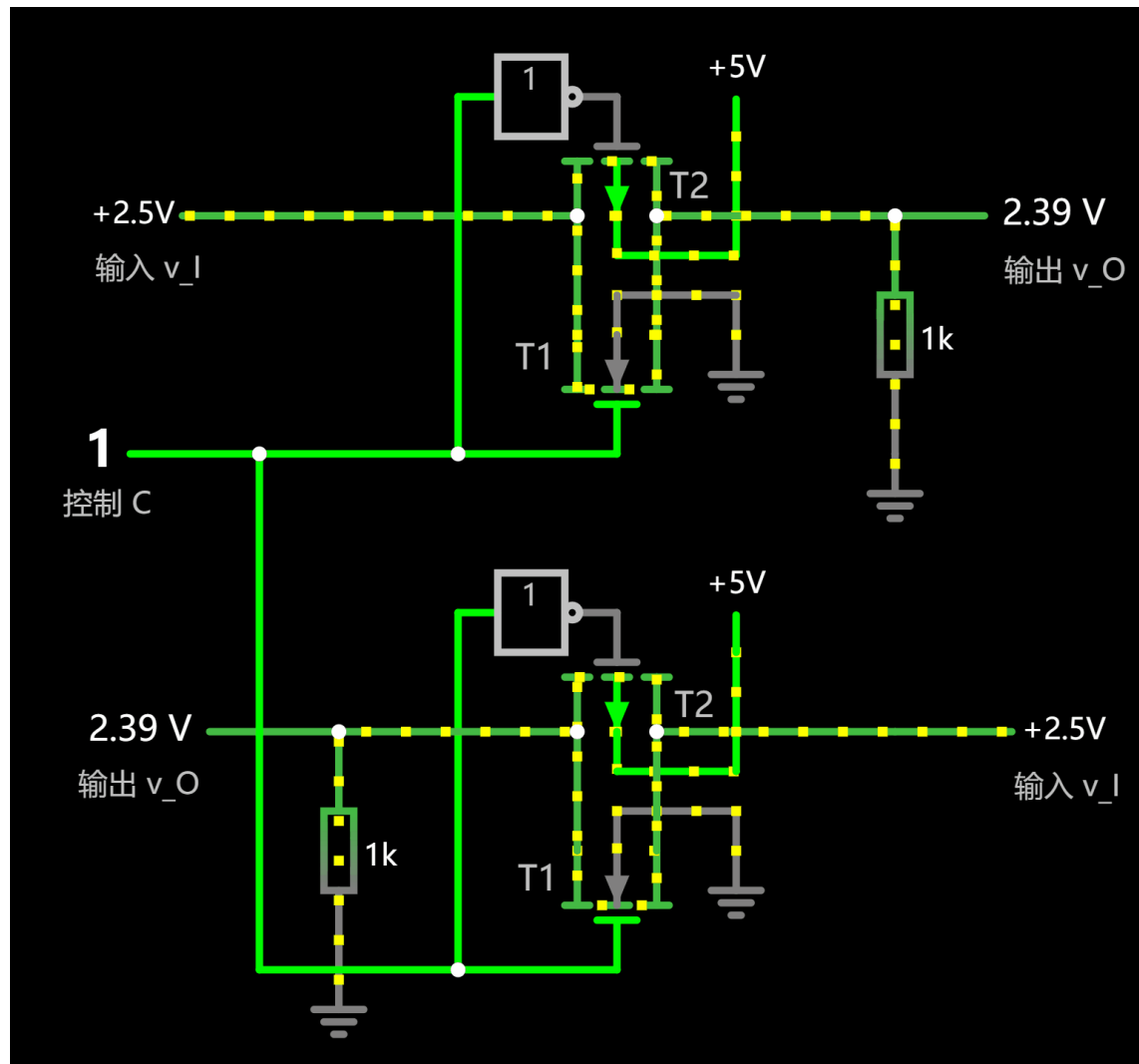
2.4 CMOS门电路

5. 传输门

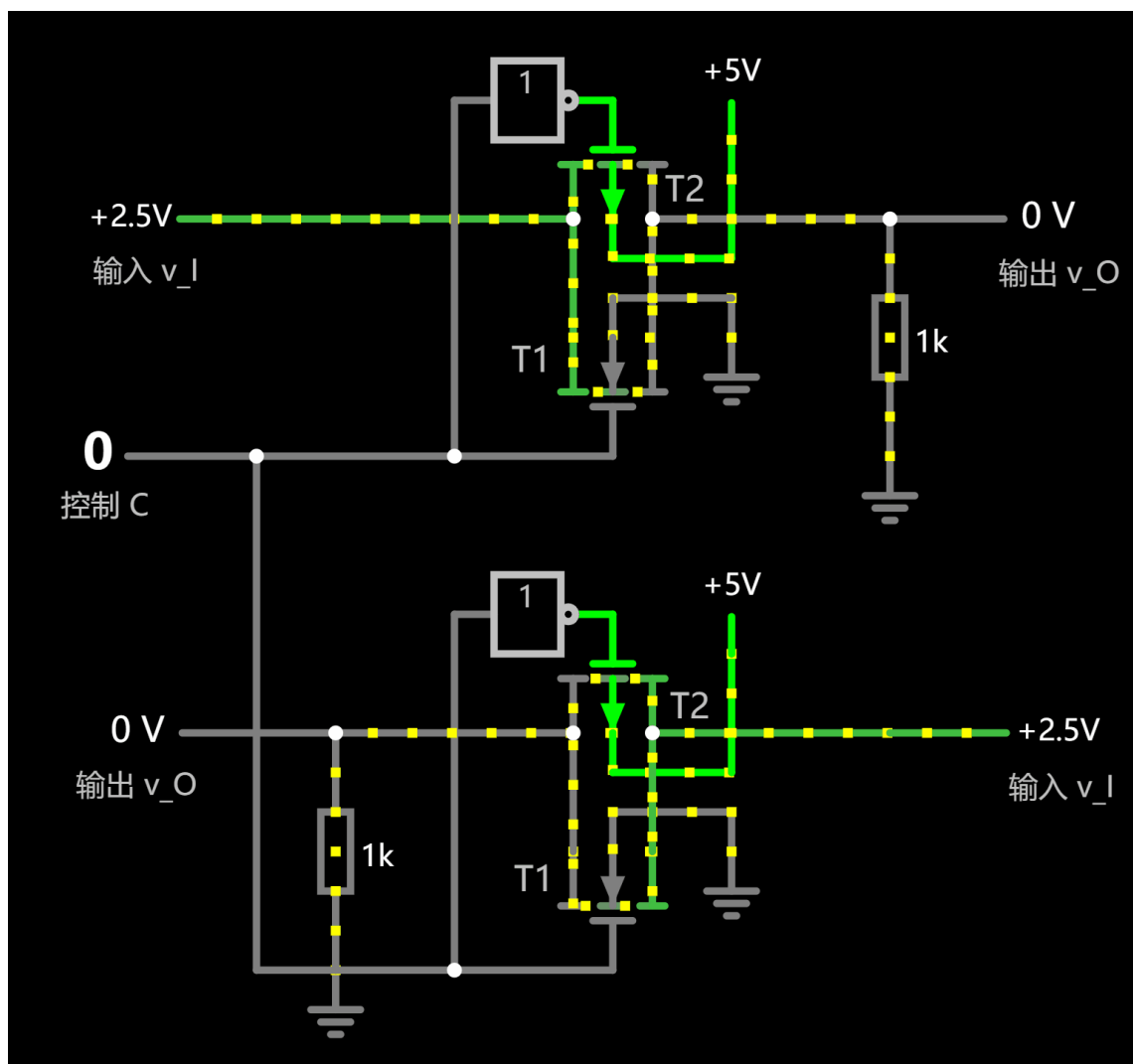


C	$\overline{C}$	T_1	T_2	v_I	v_O
0	1	截止	截止	$\times$	高阻
1	0	导通	导通	v_I	v_I

- 工作时，要求 v_I 在 $0 \sim V_{DD}$ 之间变化
- 双向输入、输出器件，两端可以互易使用
- 可用于构成双向模拟开关



CMOS传输门 (2个举例: $C = 1$)



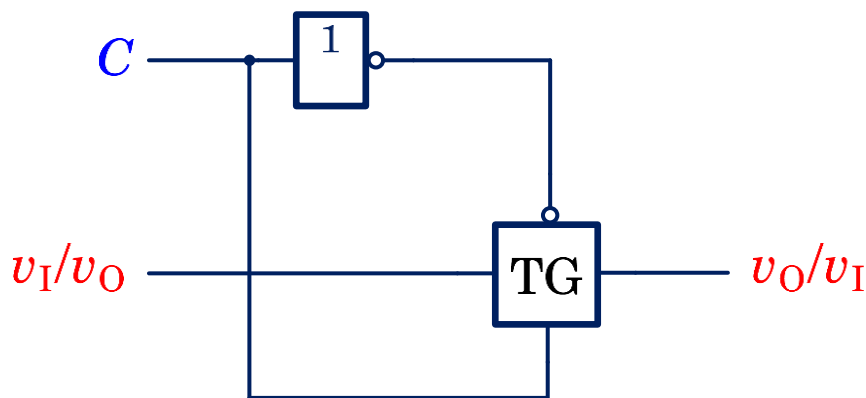
CMOS传输门 (2个举例: $C = 0$)



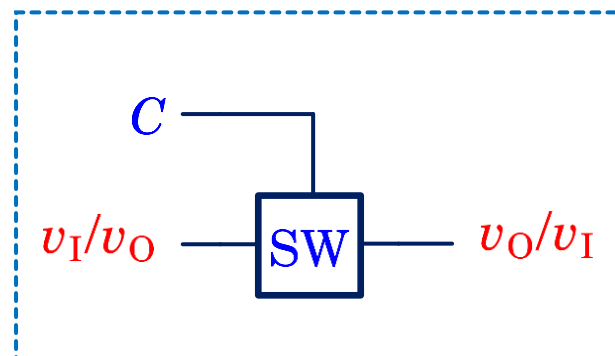
2.4 CMOS门电路

5. 传输门

可用于构成双向模拟开关



»»»



当 $C = 0$ 时, SW 截止

当 $C = 1$ 时, SW 导通

用于模拟信号及数字信号, 一般逻辑门无法实现该功能



§2.5 门电路型号命名及正确使用

2.5 门电路型号命名及正确使用

■ 门电路型号命名

✧ 集成门电路器件的型号命名由五部分组成

- 不一定全部包含5部分
- 具体以产品手册为准



第零部分 (字母)	第一部分 (字母)	第二部分 (数字或字母)			第三部分 (字母)	第四部分 (字母)
国家或制造商	类型	器件系列和品种代号			工作温度 范围/°C	封装形式
C 中国制造	T TTL	74 民用	LS 低功耗肖特基电路	00 四2输入与非门	C 0~70	W 陶瓷扁平
CD 美国无线电	C CMOS	54 军用	AS 先进肖特基电路	01 四2输入与非门 (OC)	E -40~85	B 塑料扁平
TC 日本东芝	H HTL		S 肖特基电路	02 四2输入或非门	R -55~85	D 陶瓷直插
MC1 摩托罗拉	E ECL		HC 高速CMOS	04 六反相器	M -55~125	P 塑料直插
SN 美国TEXAS	M 存储器		HCT 与TTL兼容CMOS	08 四2输入与门		K 金属菱形
	J 接口电路		40 4000系列	20 双四输入与非门		T 金属圆形



2.5 门电路型号命名及正确使用

■ 门电路的正确使用

✧ 电源电压

- ① 要满足推荐的工作条件范围，否则将导致输出电压下降或损坏器件
- ② 一般 TTL 电路电源为 5V，可以上下波动 10%
- ③ 一般 CMOS 电路电源工作范围可在 3~18V

✧ 多余输入端的处理

- ① 在不改变逻辑关系的前提下多余输入端可以并联使用
- ② 也可以根据逻辑关系要求接地或接高电平



2.5 门电路型号命名及正确使用

■ 门电路的正确使用

✧ 输出端的处理（作业补充：解释原因）

- ① 普通的 TTL 和 CMOS 电路输出端不允许直接并联使用
- ② OC 门或 OD 门输出端可以直接并联，但要外接上拉电阻及电源
- ③ 三态门输出端可以并联使用，但任一时刻，只能有一个三态门的使能端有效

✧ 提高驱动能力的方法（作业补充：解释原因）

- ① 通过电流放大器驱动 TTL 电路
- ② 通过 CMOS 驱动 TTL 电路
- ③ 将 CMOS 门电路并联，提高驱动能力



§2.6 触发器的电路结构及动作特点

触发器的特点、分类？

触发器的逻辑功能？

几种电路结构触发器的动作特点？

如何画出触发器的输出信号？

2.6 触发器的电路结构及动作特点

■ 计数的累计过程如何？



在原来的数量基础上+1

■ 原来的数量是如何记忆的？

✧ 使用**触发器**



2.6 触发器的电路结构及动作特点

一、触发器概述

✧ 触发器定义

- 能够存储1位二值（0或1）信号的基本单元电路

✧ 特点

- ① 具有两个能自行保持的稳态（1态或0态）
- ② 外加触发信号时，电路的输出状态可以翻转
- ③ 在触发信号消失后，能将获得的新态保存下来

✧ 触发器与门电路的区别

- 门电路：输出与当时的输入有关，与原来的状态无关
- 触发器：输出与当时的输入和原来的状态均有关

} 小规模
集成电路



2.6 触发器的电路结构及动作特点

一、触发器概述

✧ 触发器分类

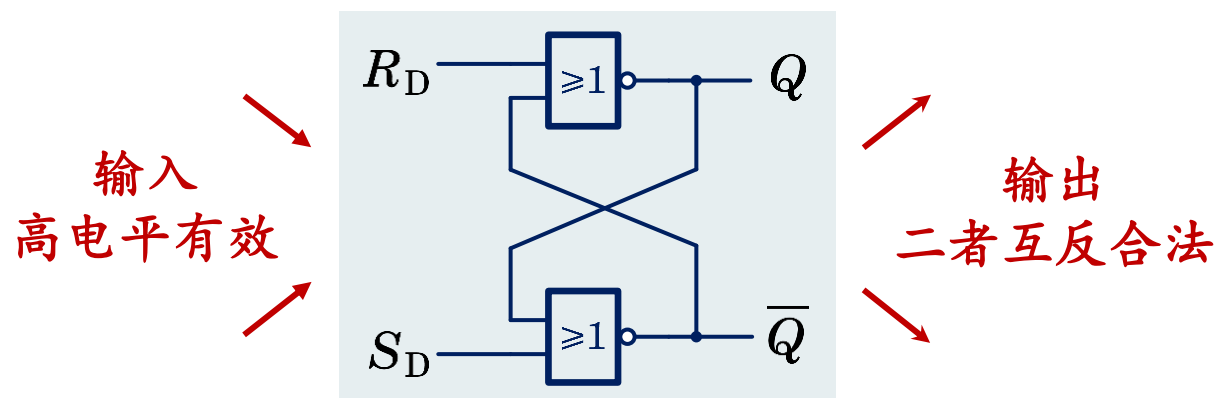
- 工艺：
TTL和CMOS
- 结构：不同的结构，动作特点不同
基本触发器
同步触发器
主从触发器
边沿触发器
- 功能：不同的功能，输入输出关系不同
SR触发器
D触发器
JK触发器
T触发器



2.6 触发器的电路结构及动作特点

二. 基本SR触发器

1. 电路结构（或非门构成）



以 Q 端状态为触发器状态

$$\begin{cases} 0 \text{ 态: } Q = 0, \bar{Q} = 1 \\ 1 \text{ 态: } Q = 1, \bar{Q} = 0 \end{cases}$$

R_D 称为直接复位（置 0）端

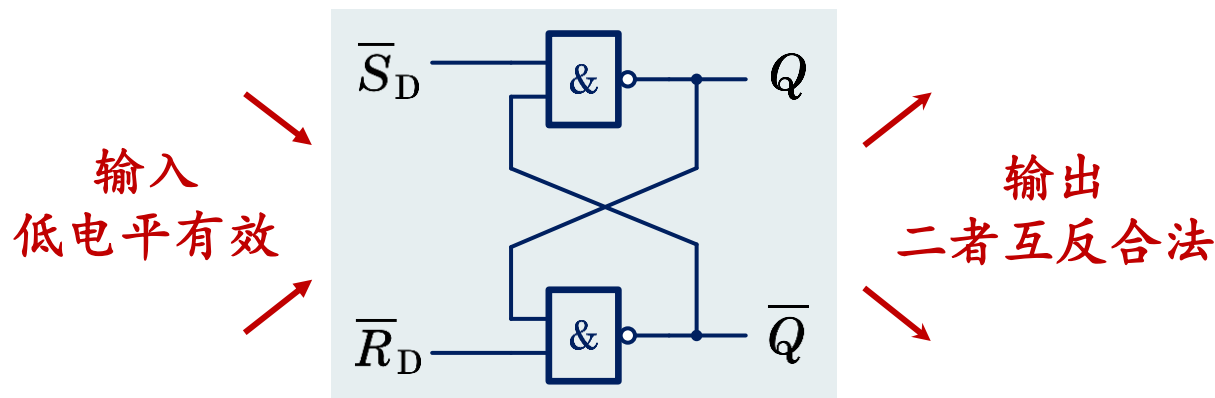
S_D 称为直接置位（置 1）端



2.6 触发器的电路结构及动作特点

二. 基本SR触发器

1. 电路结构（与非门构成）



以 Q 端状态为触发器状态

$\overline{R}_D$ 称为直接复位（置 0）端

$$\begin{cases} 0 \text{ 态: } Q = 0, \overline{Q} = 1 \\ 1 \text{ 态: } Q = 1, \overline{Q} = 0 \end{cases}$$

$\overline{S}_D$ 称为直接置位（置 1）端

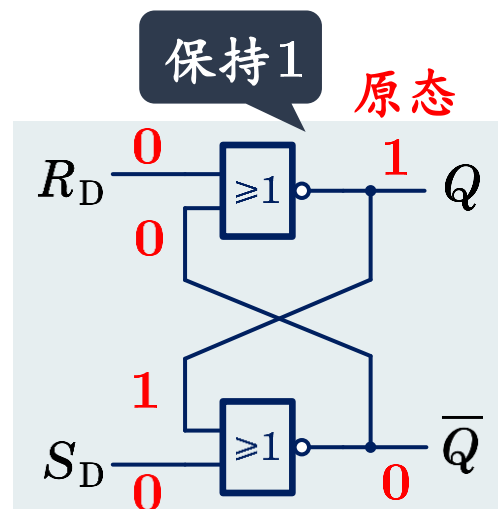
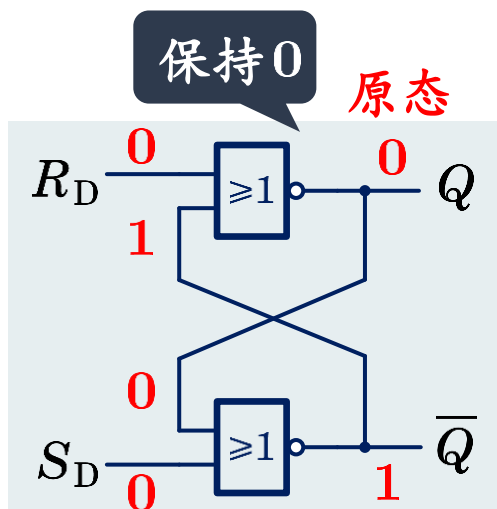


2.6 触发器的电路结构及动作特点

二. 基本SR触发器

2. 原理分析（以或非门为例）

- 有两个能自行保持的稳定状态



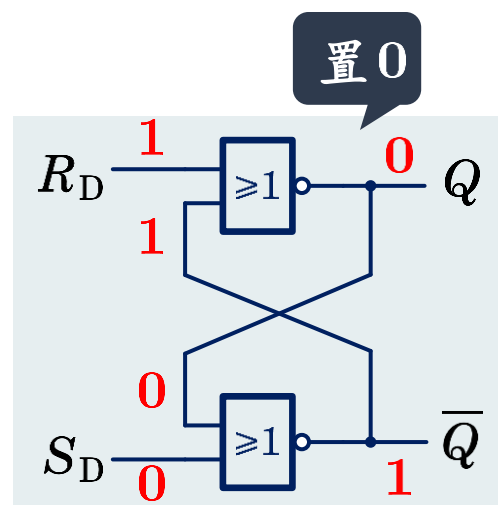
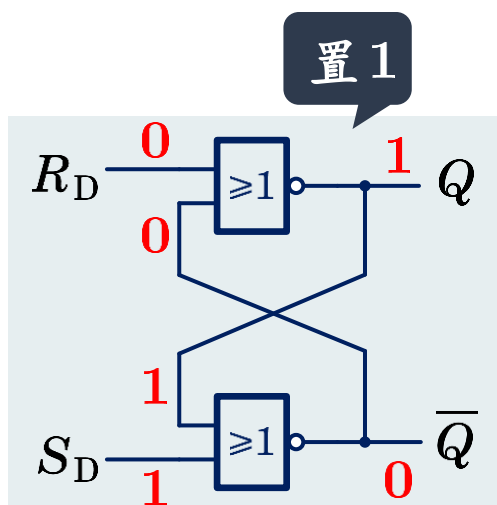
- 输入触发信号无效（低电平）时，具有保持功能，能保持两个状态
- 是一种双稳态触发器

2.6 触发器的电路结构及动作特点

二. 基本SR触发器

2. 原理分析（以或非门为例）

- 外加触发信号时，电路的输出状态可以翻转



- 触发信号消失后，能将获得的新态保存下来

只要 $\bar{Q}$ 的信号反馈回输入端，输入信号就可以消失，新的状态被保存

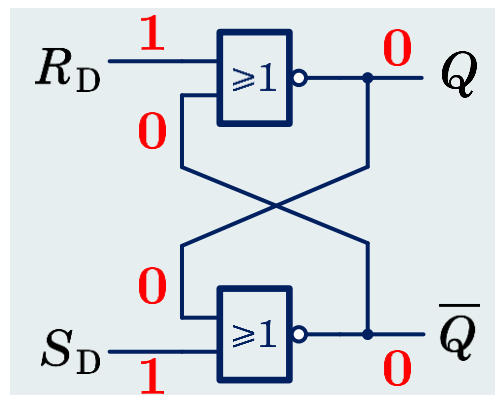


2.6 触发器的电路结构及动作特点

二. 基本SR触发器

2. 原理分析（以或非门为例）

- 非法状态



✎ 输出不满足互补状态

✎ 如果两输入端同时由 1 变成 0，则具体保持哪个状态不定



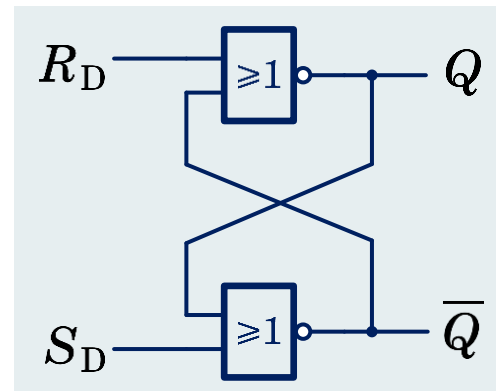
2.6 触发器的电路结构及动作特点

二. 基本SR触发器

3. 逻辑功能表示

- 特性表（状态转换真值表）

Q 为现态； Q^{n+1} 为次态



与非门基本SR触发器特性表

S_D	R_D	Q^{n+1}	说明
0	0	×	非法
0	1	1	置 1
1	0	0	置 0
1	1	Q	保持

或非门基本SR触发器特性表

S_D	R_D	Q^{n+1}	说明
1	1	×	非法
1	0	1	置 1
0	1	0	置 0
0	0	Q	保持

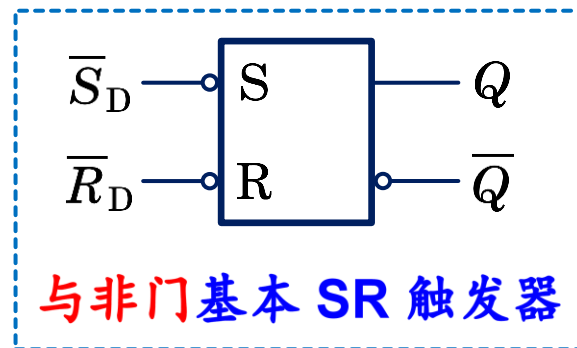
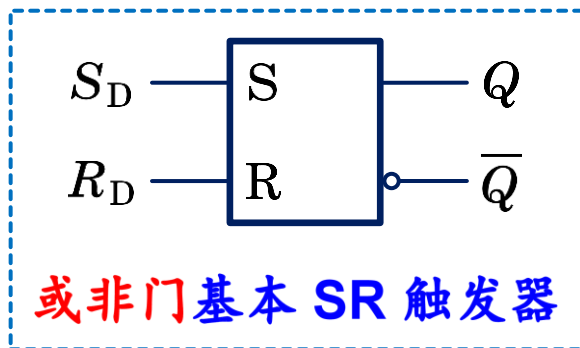
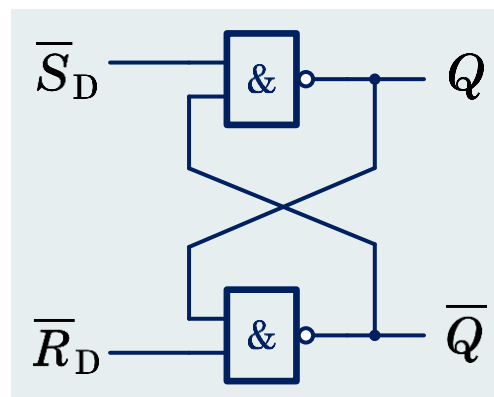
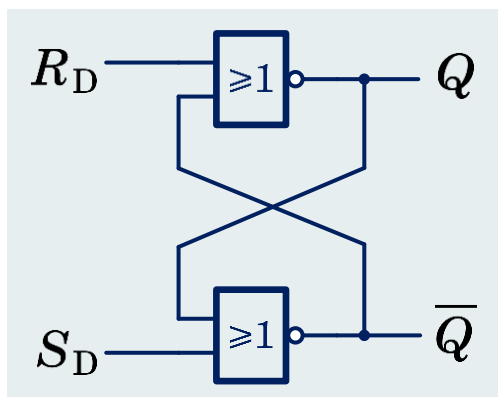


2.6 触发器的电路结构及动作特点

二. 基本SR触发器

3. 逻辑功能表示

- 图形符号（逻辑符号）





2.6 触发器的电路结构及动作特点

二. 基本SR触发器

3. 逻辑功能表示

- 时序图

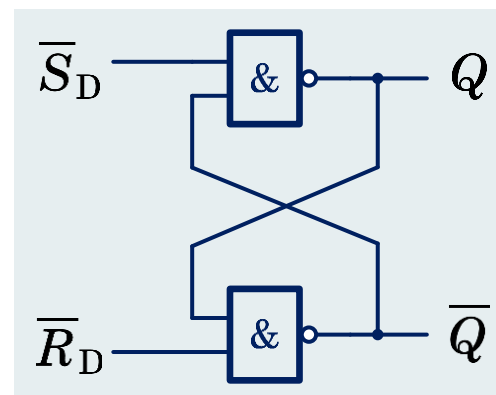
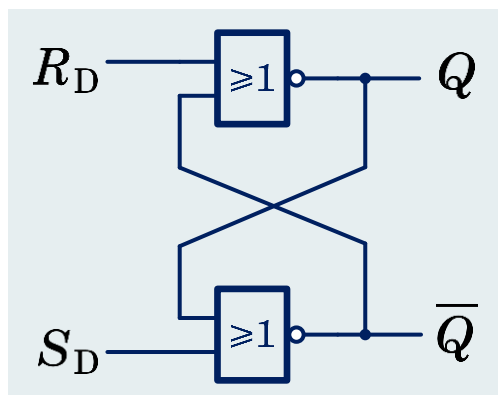
- ✎ 一般先设初始状态为 0（也可以设为 1），然后根据给定输入信号波形，相应画出输出端的波形（与时间先后有关）
- ✎ 当出现不定的逻辑状态时，用双虚线表示



2.6 触发器的电路结构及动作特点

二. 基本SR触发器

4. 动作特点



由于触发信号直接加在触发器的输入端，所以在输入信号的全部作用时间里，都能直接改变输出端 Q 和 $\bar{Q}$ 的状态相应画出输出端的波形

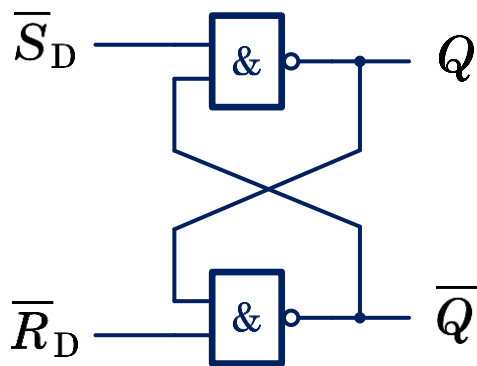
因此 $\left\{ \begin{array}{l} \bar{S}_D (S_D) \text{ 端叫做直接置位端} \\ \bar{R}_D (R_D) \text{ 端叫做直接复位端} \end{array} \right\}$ 用 D 作脚标



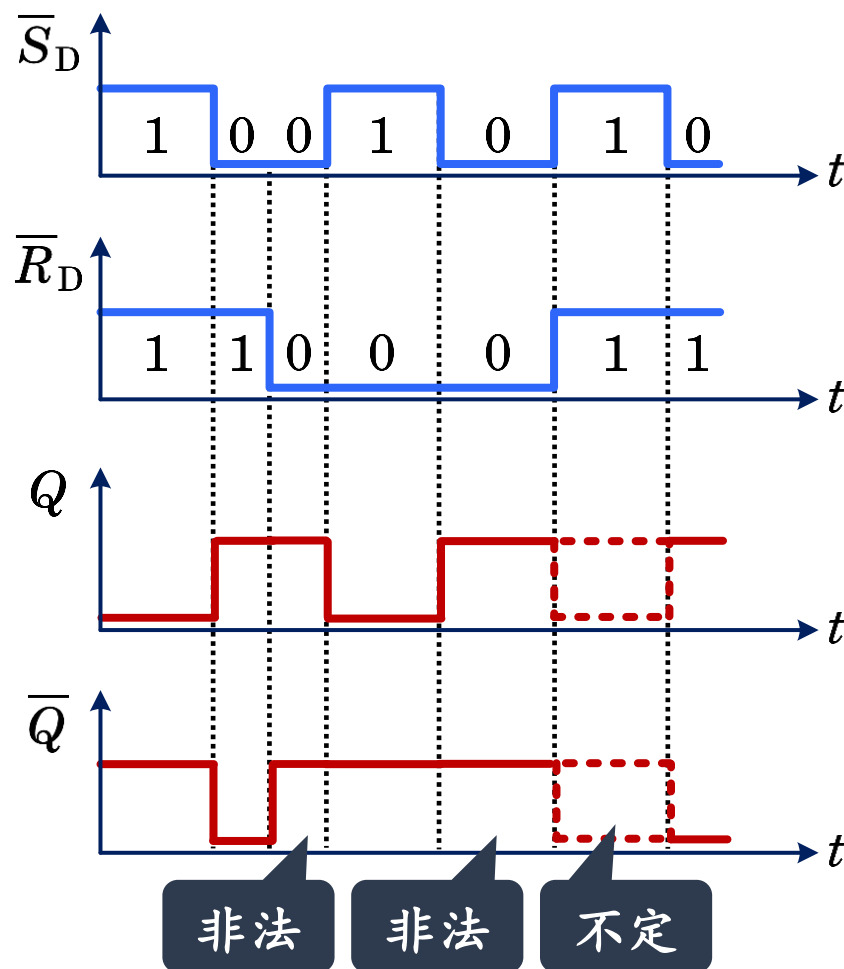
2.6 触发器的电路结构及动作特点

例2-6

例 已知基本 SR 触发器及输入 $\overline{S}_D$ 和 $\overline{R}_D$ 波形如图，设初始状态为 0。请画出 Q 和 $\overline{Q}$ 端对应的电压波形。



解

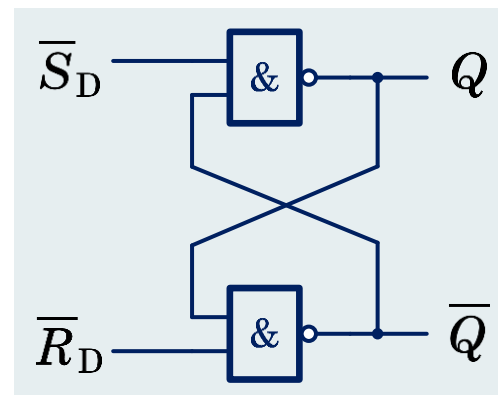
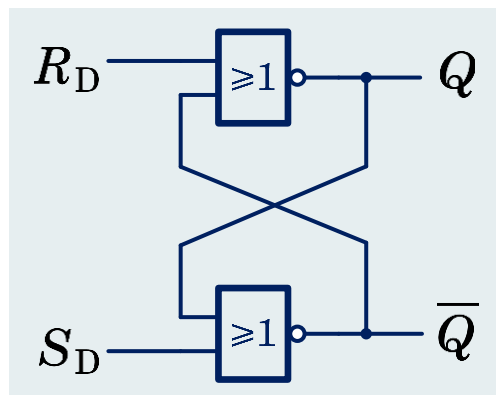




2.6 触发器的电路结构及动作特点

二. 基本SR触发器

4. 动作特点



- 在数字系统中，如果要求某些触发器在同一时刻动作，就必须给这些触发器引入时间控制信号

✧ **时钟 (CP)** 也称为

- 时间控制信号、同步信号、时钟信号

✧ **时钟触发器**

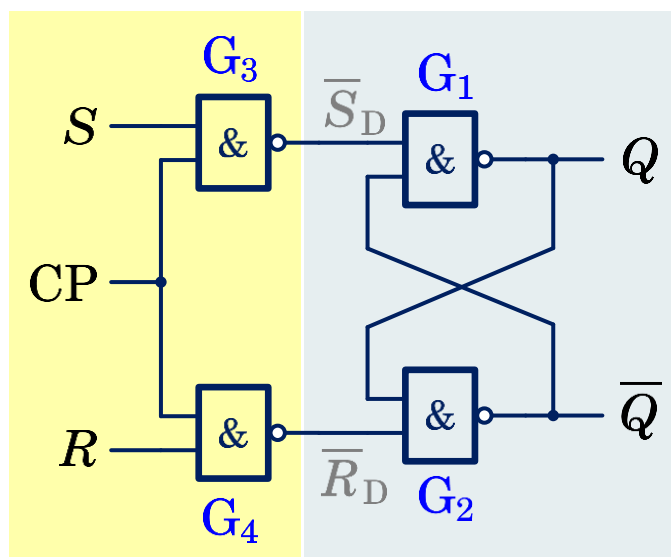
- 受CP控制的触发器



2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

1. 电路结构



输入
控制电路

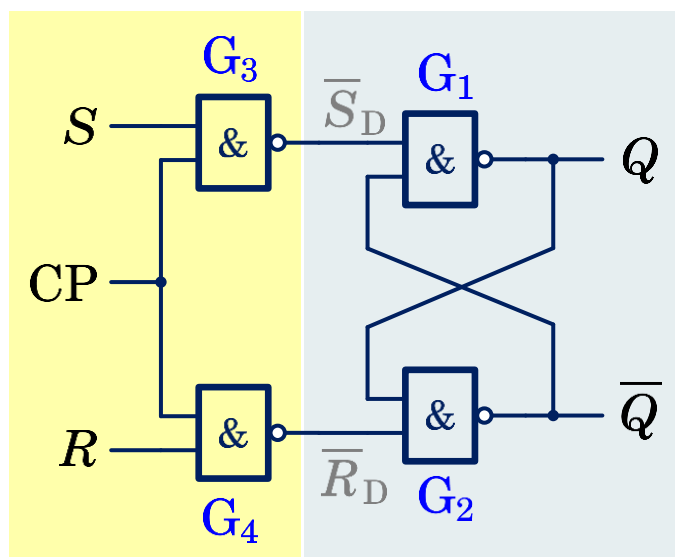
基本
SR触发器



2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

2. 原理分析



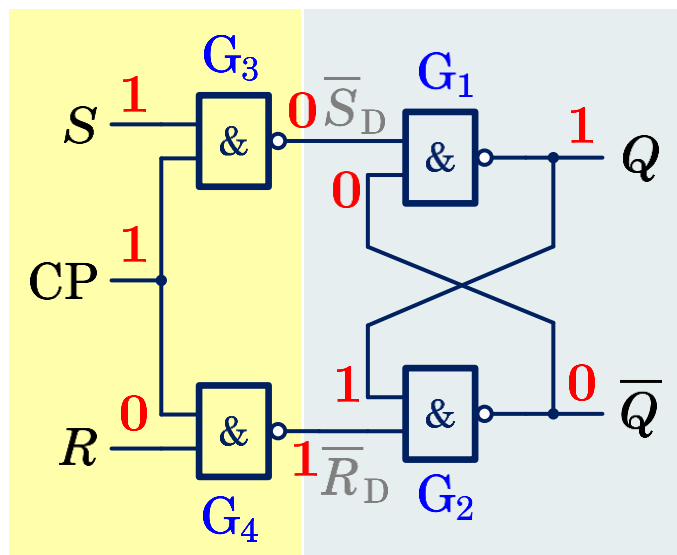
- ① $CP = 0$ 时, G_3 、 G_4 门封锁, 触发信号不起作用, 触发器处于保持状态
- ② $CP = 1$ 时, G_3 、 G_4 门打开, 触发信号可加到基本触发器上
这时相当于 S 、 R 为高电平有效的 SR 触发器



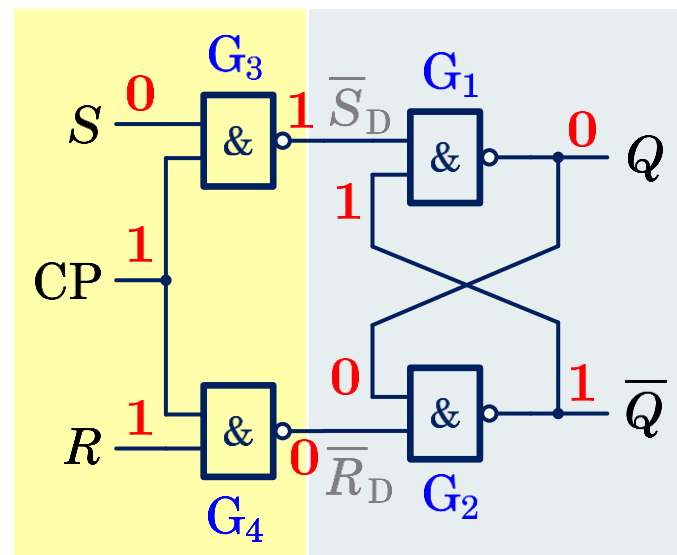
2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

2. 原理分析



① $CP = 1$, 在 S 端触发时, $Q = 1$



② $CP = 1$, 在 R 端触发时, $Q = 0$



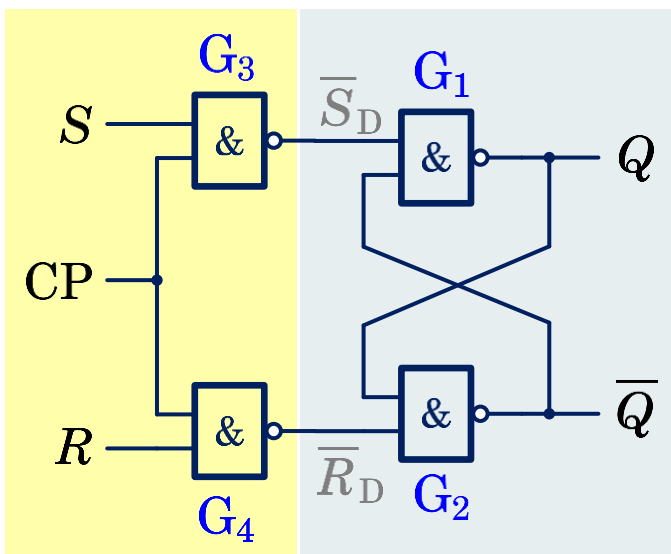
2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

3. 逻辑功能表示

- 特性表 (状态转换真值表)

Q 为现态; Q^{n+1} 为次态



同步SR触发器特性表

CP	S	R	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	×	非法

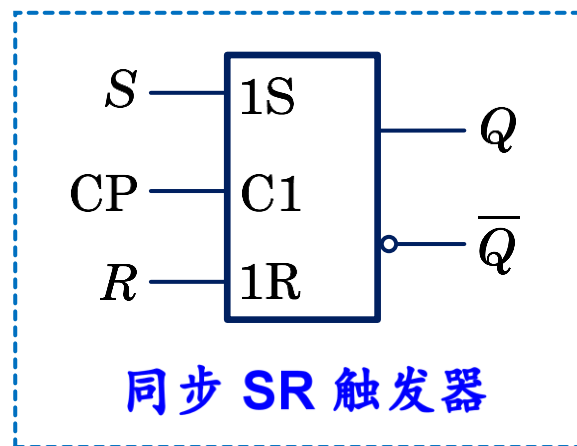
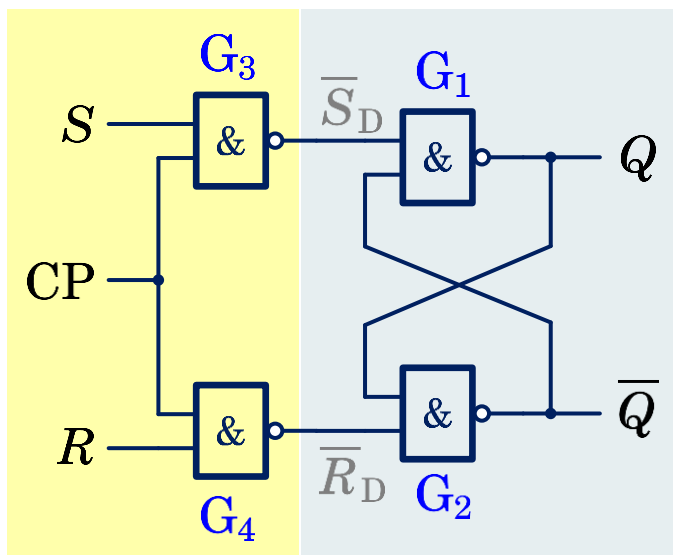


2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

3. 逻辑功能表示

- 图形符号 (逻辑符号)

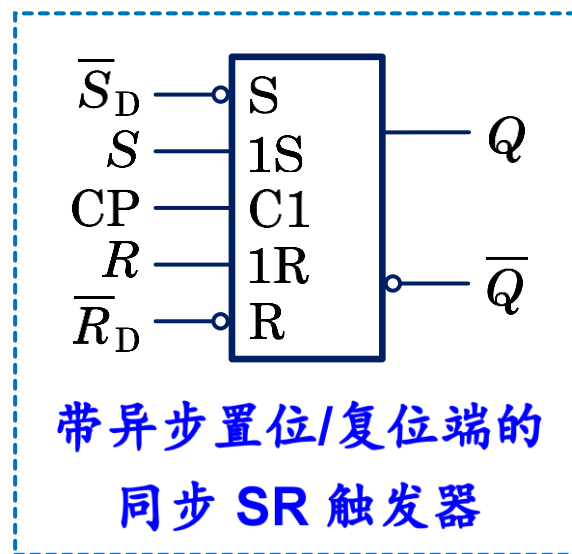
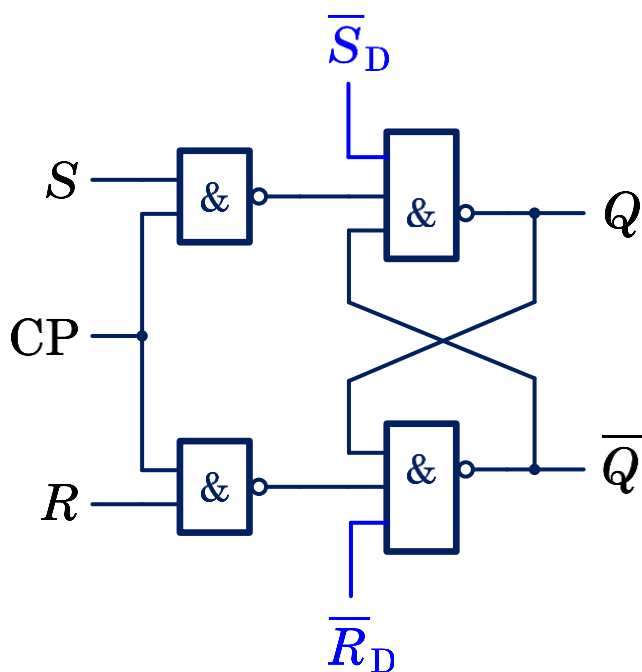




2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

3. 逻辑功能表示 (带置位/复位端)



✎ $\overline{S}_D$ 为异步置位端, $\overline{R}_D$ 为异步复位端 (置位/复位应在 CP = 0 时进行)

✎ 触发器在 CP 控制下正常工作时, 应使 $\overline{S}_D$ 、 $\overline{R}_D$ 处于高电平



2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

4. 动作特点

- ① 在 $CP=0$ 的时间里，输入信号的变化不会引起输出信号的变化
- ② 在 $CP=1$ 的全部时间里， S 、 R 端信号的变化都将引起触发器输出状态的变化
- ③ 在 CP 从 1 到 0 的时刻，触发器输出的状态保存的是 CP 回到 0 以前瞬间的状态

同步SR触发器特性表				
CP	S	R	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	×	非法

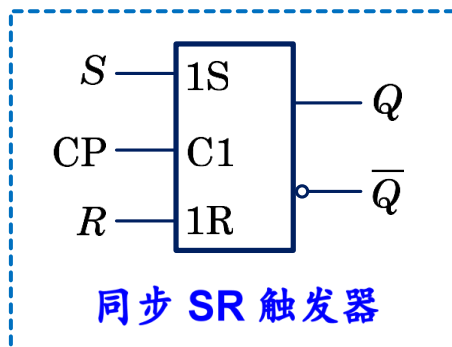
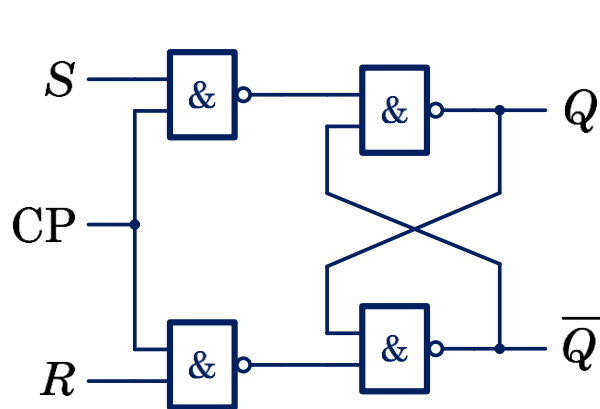
同步结构的
触发器又称
锁存器



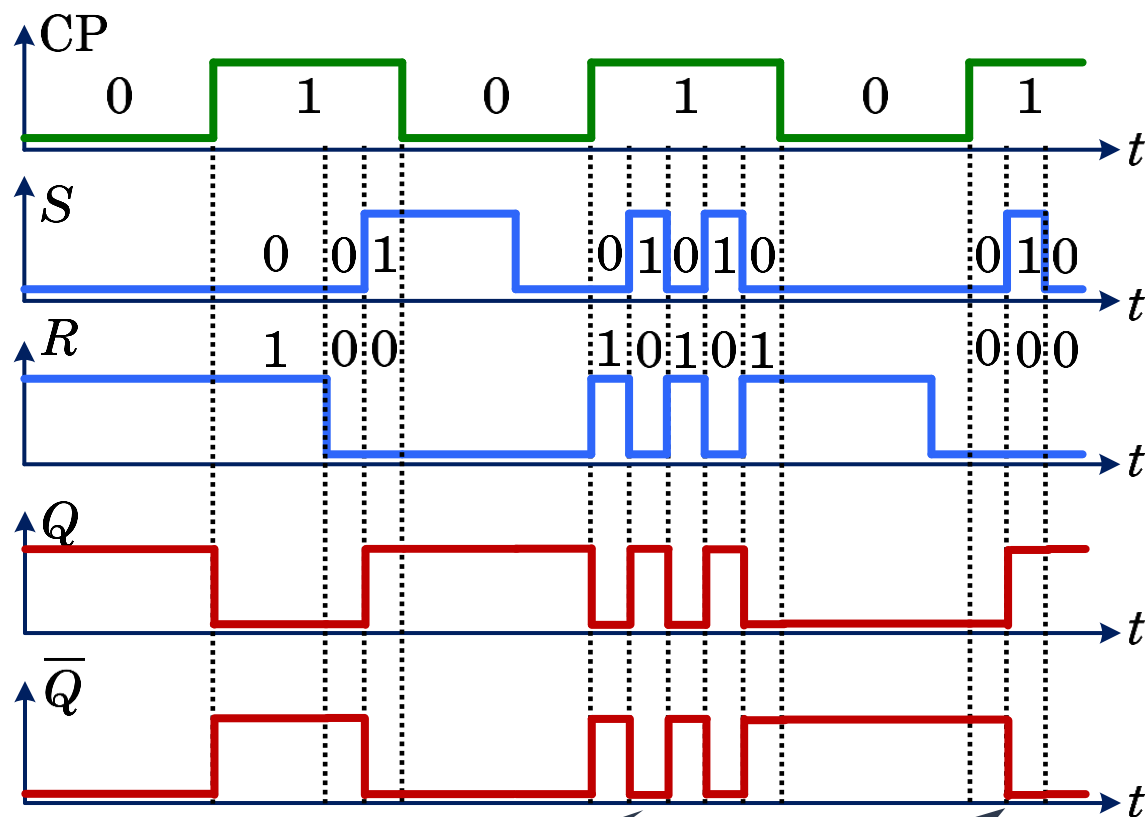
2.6 触发器的电路结构及动作特点

例2-7

例 已知同步 SR 触发器及输入 S 和 R 波形如图，设初始状态为 1。请画出 Q 和 $\bar{Q}$ 端对应的电压波形。



解



空翻

抗干扰差



2.6 触发器的电路结构及动作特点

三. 同步触发器 (SR)

5. 同步结构的触发器的缺点

① 存在空翻现象

- ✎ 在 $CP = 1$ 的时间里，输入信号的变化多次时会引起输出信号变化多次
- ✎ 其输出与时钟不同步，出现不可控情况
- ✎ 只能用在时钟脉冲高（或低）电平有效作用期间，输入信号不变的场合

② 抗干扰能力差

- ✎ 在 $CP = 1$ 的时间里，输入信号很短时间的脉冲（称为干扰信号）会引起输出信号变化

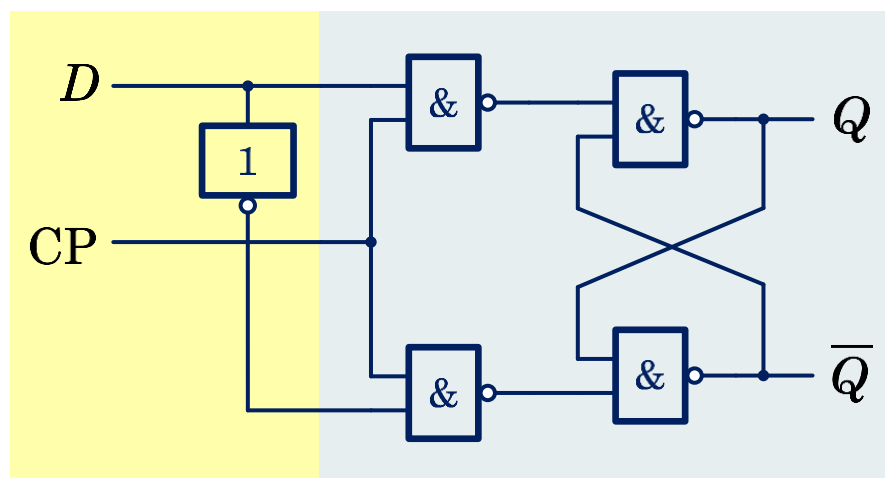
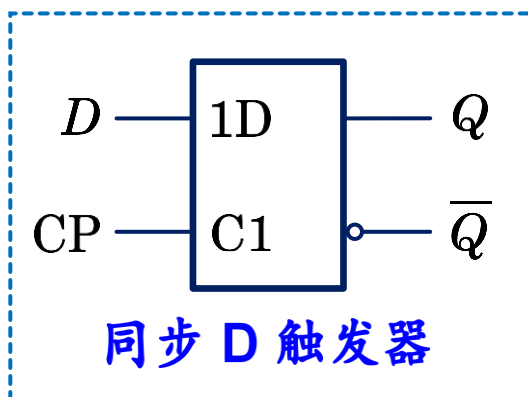
③ 同步SR触发器输入端不允许同时有效

2.6 触发器的电路结构及动作特点

三. 同步触发器 (D)

6. 同步D触发器（又称D型锁存器）

单端输入电路



① CP=0 时，触发器处于保持状态

② $CP = 1$ 时,

D	Q
0	0
1	1

对输入端没有任何限制



2.6 触发器的电路结构及动作特点

五. 边沿触发器

✧ 含义

- 触发器的次态仅取决于**CP**作用沿（下降沿或上升沿）到达时刻输入信号的状态

✧ 目的

- 提高触发器的抗干扰能力

✧ 主要类型

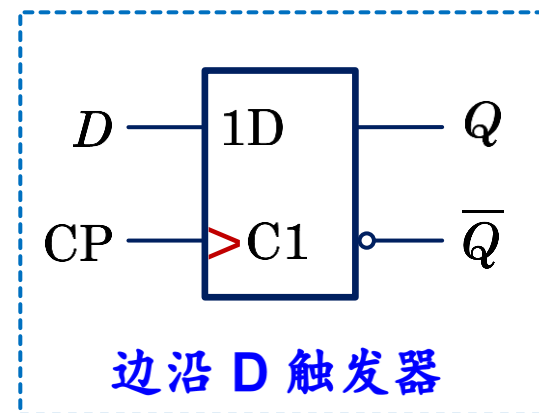
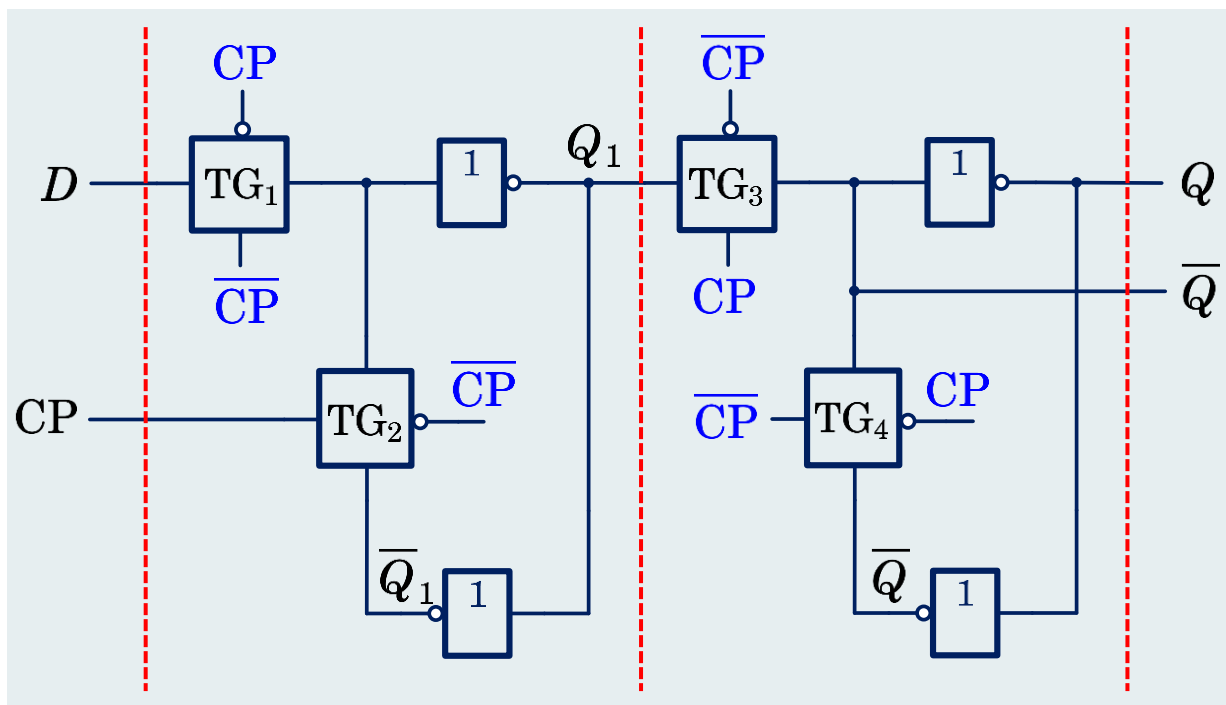
- 利用**CMOS**传输门的边沿触发器
- 维持阻塞触发器
- 利用传输延迟时间的边沿触发器



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿D触发器

1. 电路结构（利用CMOS传输门）



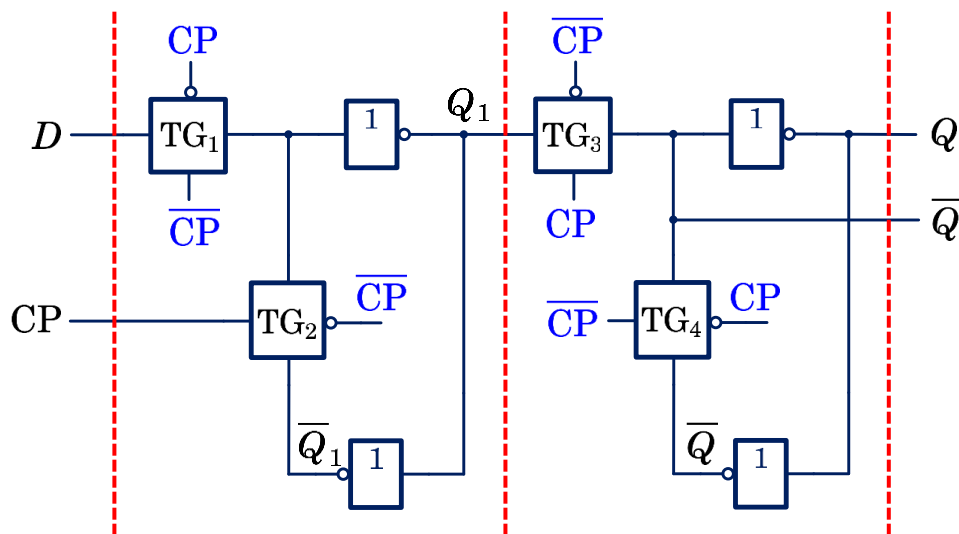
边沿 D 触发器



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿D触发器

2. 工作原理及动作特点



- ① $CP = 0$ 时，传输门 TG_1 、 TG_4 导通， TG_2 、 TG_3 截止；
 D 传给 Q_1 ， Q 不变
- ② $CP = 1$ 时，传输门 TG_2 、 TG_3 导通， TG_1 、 TG_4 截止；
 Q_1 保持状态， $Q = Q_1$
- ③ CP 再回到 0 时，触发器处于保持状态， Q 不变
- ④ CP 一个周期输出最多在有效边沿（上升沿）处变一次，变化的状态仅与有效边沿时刻的输入有关



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿D触发器

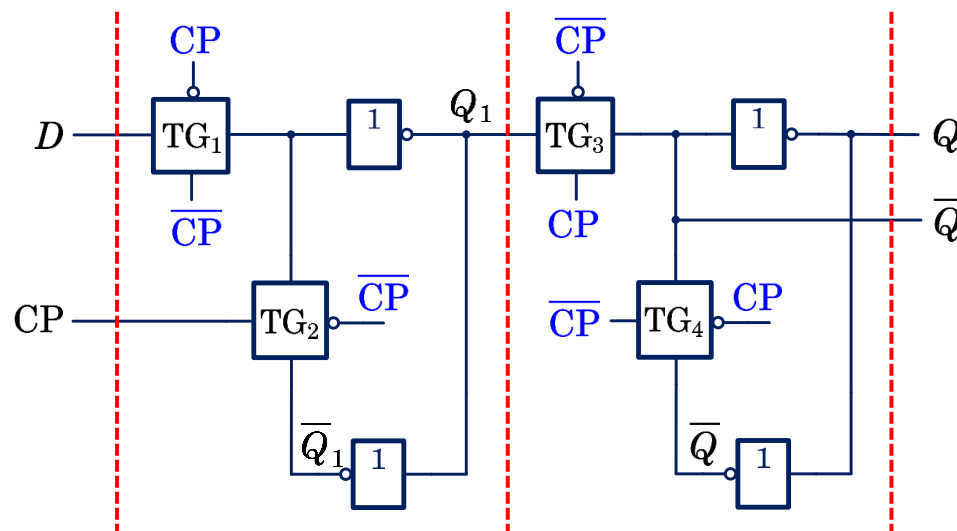
3. 逻辑功能表示

- 特性表（状态转换真值表）

Q 为现态； Q^{n+1} 为次态

边沿D触发器特性表

CP	D	Q^{n+1}	说明
$\tilde{0}$	$\times$	Q	保持
$\tilde{1}$	0	0	置 0
$\tilde{1}$	1	1	置 1



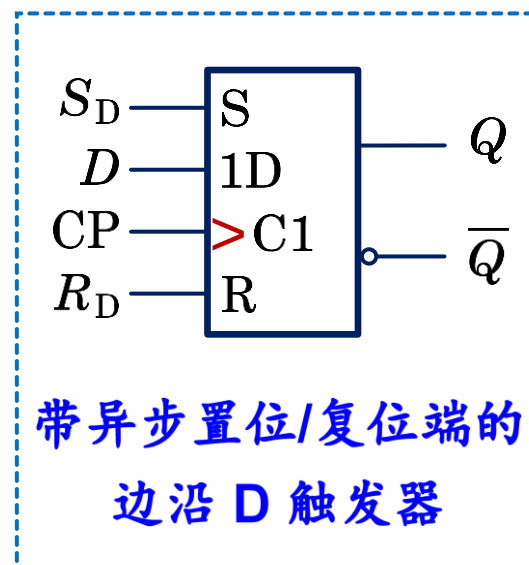
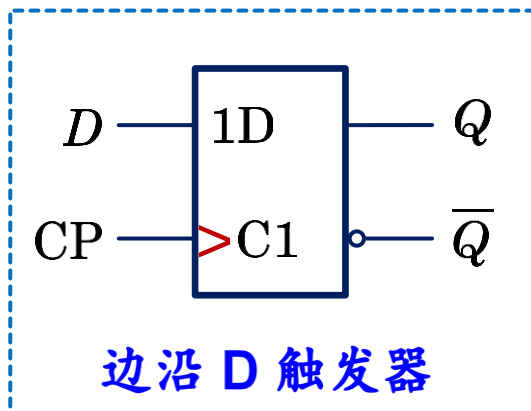
- $CP = \tilde{0}$ 为时钟的无效状态，本电路中对应下降沿、0时刻、1时刻
- $CP = \tilde{1}$ 为时钟的有效状态，本电路中对应上升沿时刻



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿D触发器

4. 带异步置位、复位的边沿D触发器



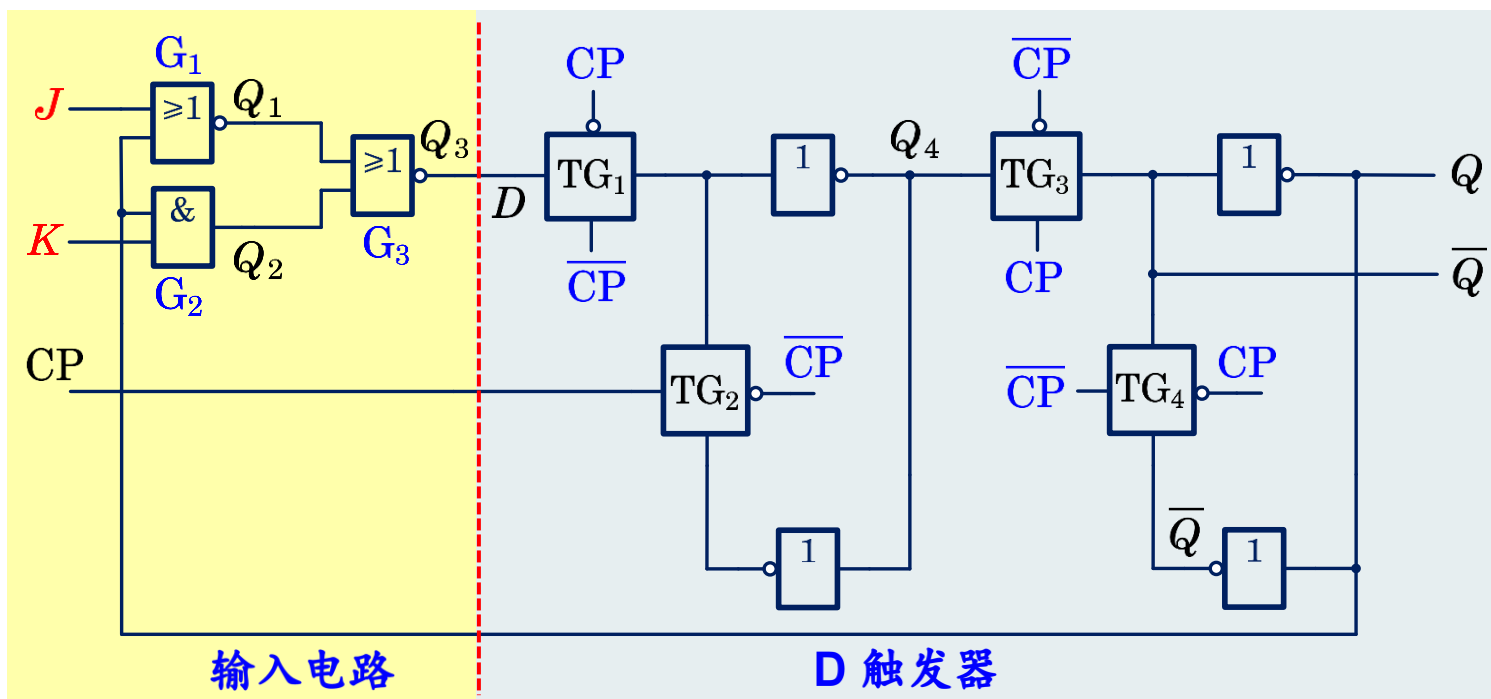
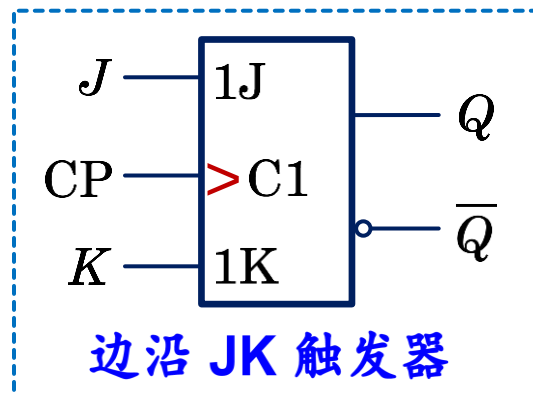


2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿JK触发器

1. 电路结构（利用CMOS传输门）

- 扩展D触发器（单输入）的功能
- D触发器功能：保持、置0和置1



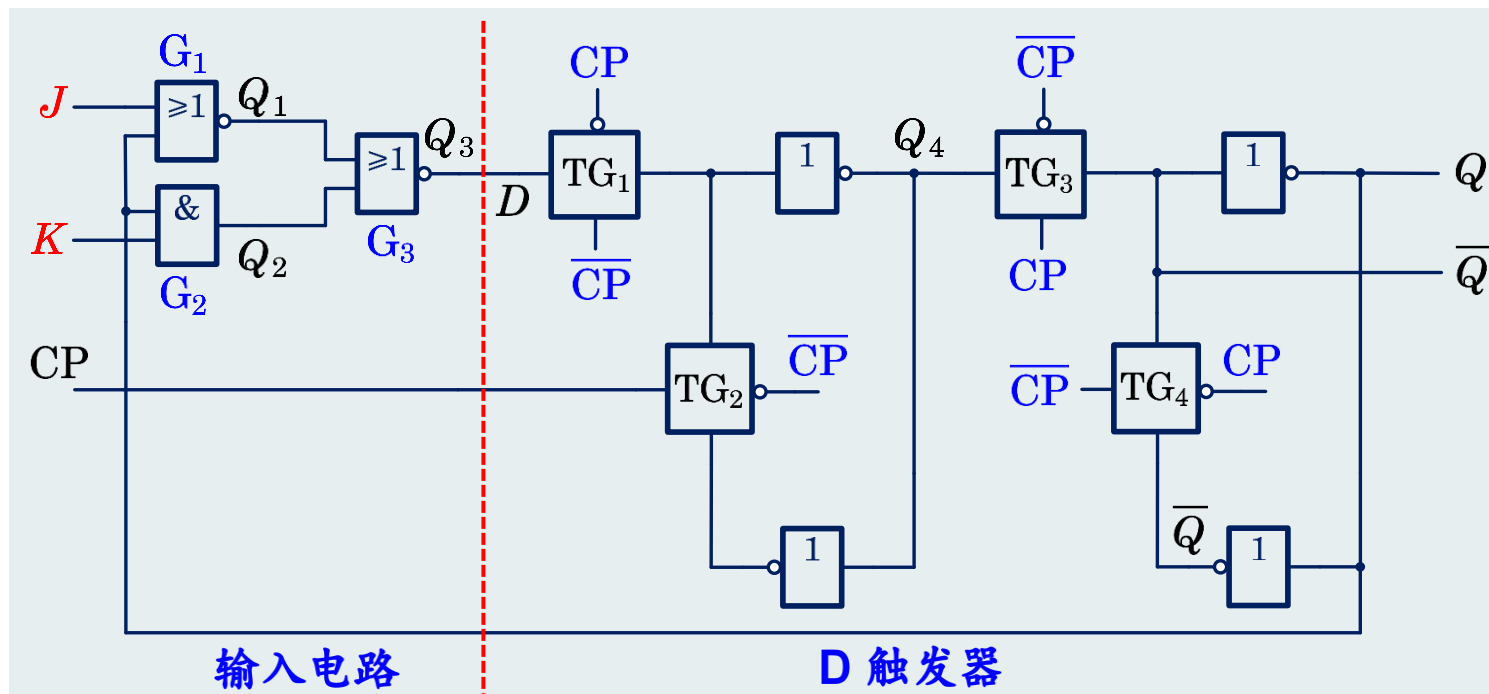


2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿JK触发器

2. 工作原理及动作特点

② D 触发器 $D = Q_3 = J\bar{Q} + \bar{K}Q$



① 输入电路

$$\begin{aligned} Q_3 &= \overline{Q_1 + Q_2} = \overline{Q_1} \cdot \overline{Q_2} = (J + Q)\overline{KQ} = (J + Q)(\overline{K} + \overline{Q}) \\ &= J\overline{K} + J\overline{Q} + \overline{K}Q = J\overline{Q} + \overline{K}Q \end{aligned}$$

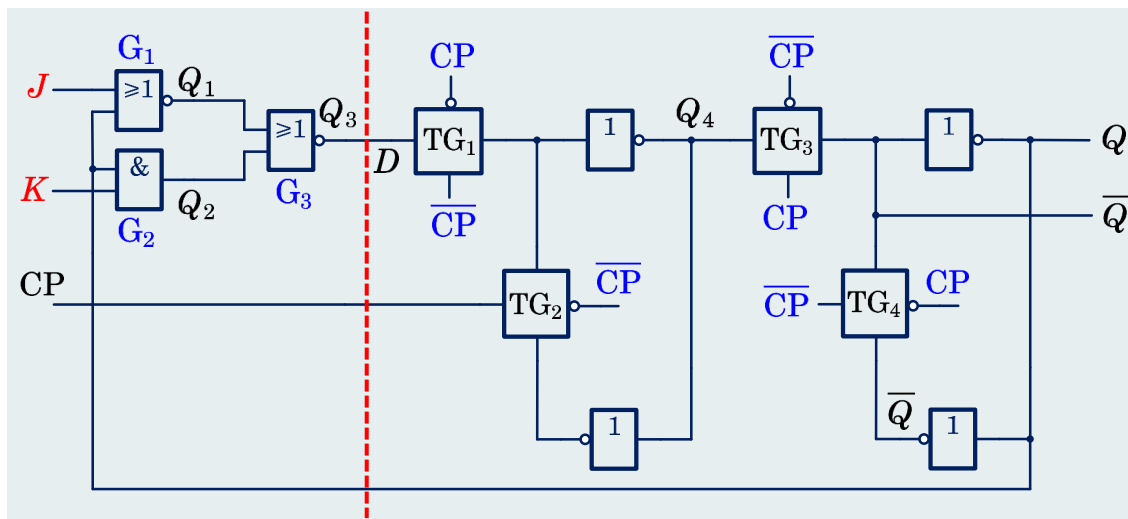


2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿JK触发器

2. 工作原理及动作特点

- ① CP = 0 时, TG₁、TG₄ 导通, TG₂、TG₃ 截止; Q 保持, 不随 J、K 变化
- ② CP = 1 时, TG₂、TG₃ 导通, TG₁、TG₄ 截止; Q₄ 保持上升沿来到时刻的 $\bar{D}$ 状态



$$\text{触发器次态 } Q^{n+1} = \bar{Q}_4 = D = J\bar{Q} + \bar{K}Q = \begin{cases} Q & (J = K = 0) \\ 0 & (J = 0, K = 1) \\ 1 & (J = 1, K = 0) \\ \bar{Q} & (J = K = 1) \end{cases}$$

- ③ CP 再回到 0 时, Q 处于保持状态



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿JK触发器

3. 逻辑功能表示

- 特性表（状态转换真值表）

🔗 Q 为现态； Q^{n+1} 为次态 $Q^{n+1} = \bar{Q}_4 = D = J\bar{Q} + \bar{K}Q = \begin{cases} Q & (J = K = 0) \\ 0 & (J = 0, K = 1) \\ 1 & (J = 1, K = 0) \\ \bar{Q} & (J = K = 1) \end{cases}$

边沿JK触发器特性表				
CP	J	K	Q^{n+1}	说明
$\tilde{0}$	$\times$	$\times$	Q	保持
$\tilde{1}$	0	0	Q	保持
$\tilde{1}$	0	1	0	置 0
$\tilde{1}$	1	0	1	置 1
$\tilde{1}$	1	1	$\bar{Q}$	取反

- ① $CP = \tilde{0}$ 为时钟的无效状态，本电路中对对应下降沿、0时刻、1时刻
- ② $CP = \tilde{1}$ 为时钟的有效状态，本电路中对对应上升沿时刻

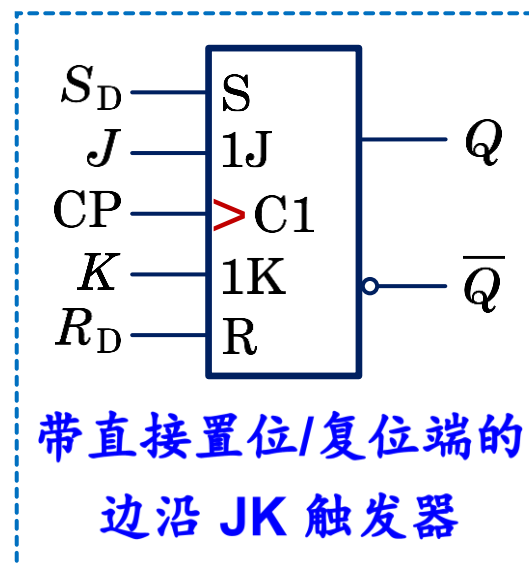
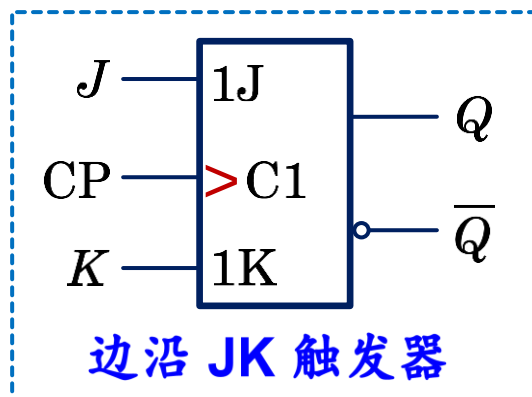
🔗 JK 触发器输入端没有限制，具有保持、置 0、置 1、取反四种逻辑功能，实际中被广泛应用



2.6 触发器的电路结构及动作特点

五. 边沿触发器：边沿JK触发器

4. 带异步置位、复位的边沿JK触发器

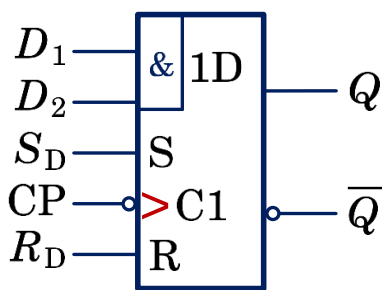




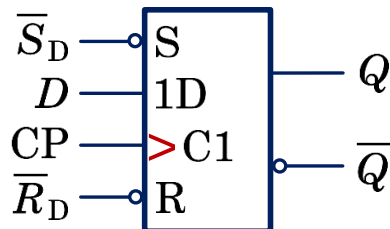
2.6 触发器的电路结构及动作特点

五. 边沿触发器：其他边沿触发器

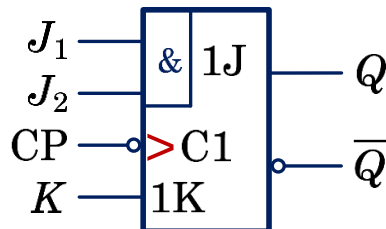
- ✧ 利用TTL门电路构成的维持阻塞边沿触发器（上升沿）
- ✧ 利用门电路的传输延迟时间的边沿触发器（下降沿）
 - 功能上有SR触发器、JK触发器、D触发器



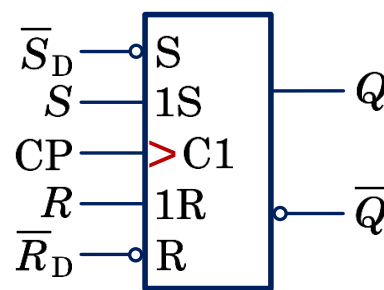
带高电平有效的直接置位复位端、多输入、下降沿有效的边沿D触发器



带低电平有效的直接置位复位端、上升沿有效的边沿D触发器



多输入、下降沿有效的边沿JK触发器



带低电平有效的直接置位复位端、上升沿有效的边沿SR触发器



2.6 触发器的电路结构及动作特点

五. 边沿触发器：动作特点和优点

✧ 边沿结构触发器动作特点

- ① 在 $CP = 0$ 的全部时间内，输入信号的变化不会引起输出信号的变化
- ② 在 $CP = 1$ 的全部时间内，输入信号的变化不会引起输出信号的变化
- ③ 只有在 CP 有效边沿时刻，输出才可以变化，而且输出的状态只取决于有效边沿时刻输入信号的状态

✧ 边沿结构触发器的优点

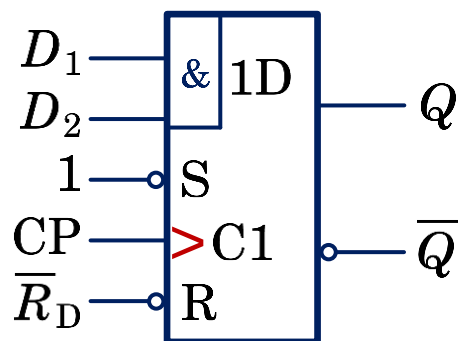
- ① 没有空翻现象，输出只在有效边沿才可能变化
- ② 抗干扰能力强，有效边沿时刻输出只取决于该时刻的输入，与其他时刻输入无关
- ③ 电路分析过程简单



2.6 触发器的电路结构及动作特点

例2-8

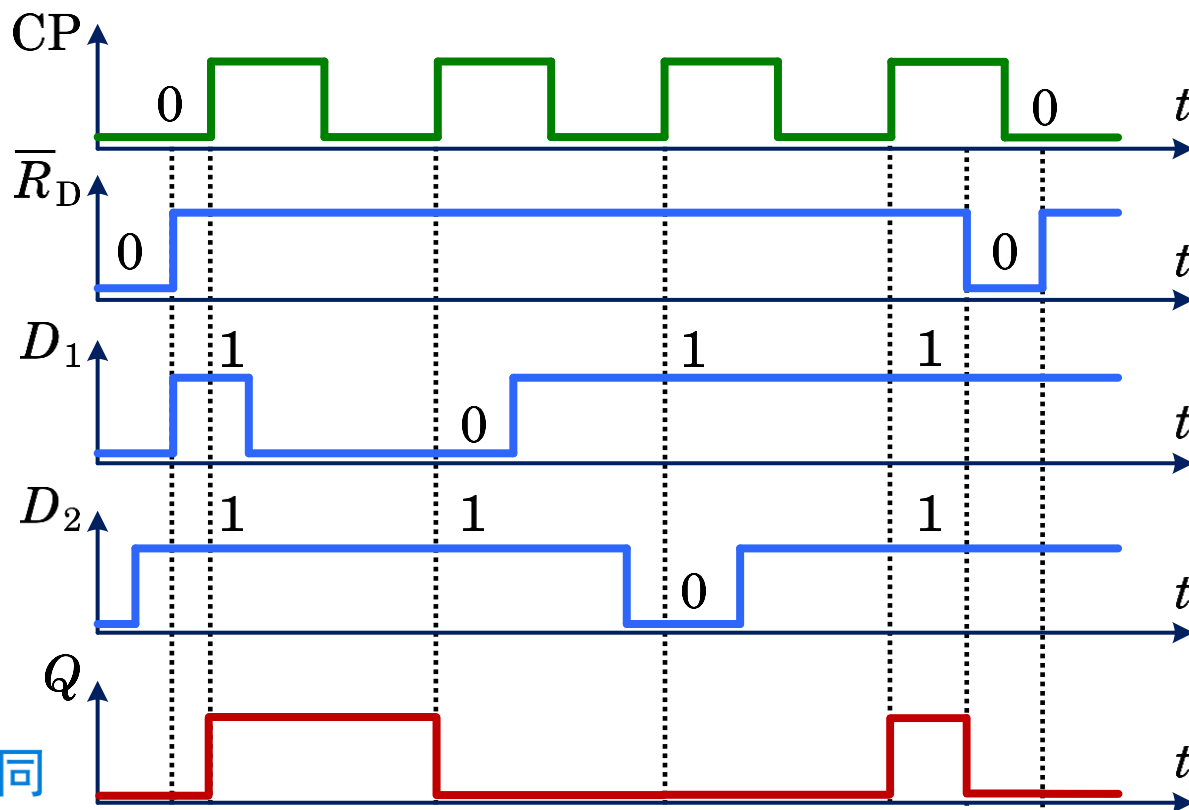
例 已知触发器符号及输入波形如图，问：（1）触发器是什么结构的？输出在什么时刻变化？（2）触发器是什么功能的？（3）画出 Q 端的波形。



解

(1) 边沿结构，
在 CP 上升沿变化

(2) D 触发器功能，
上升沿时，输出与 D 相同

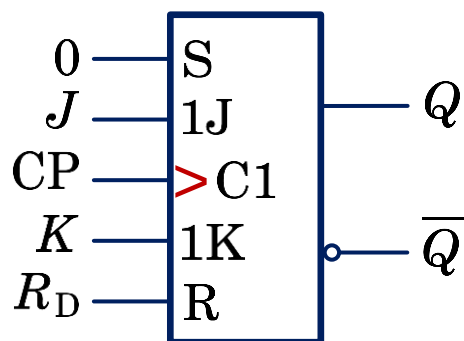




2.6 触发器的电路结构及动作特点

例2-9

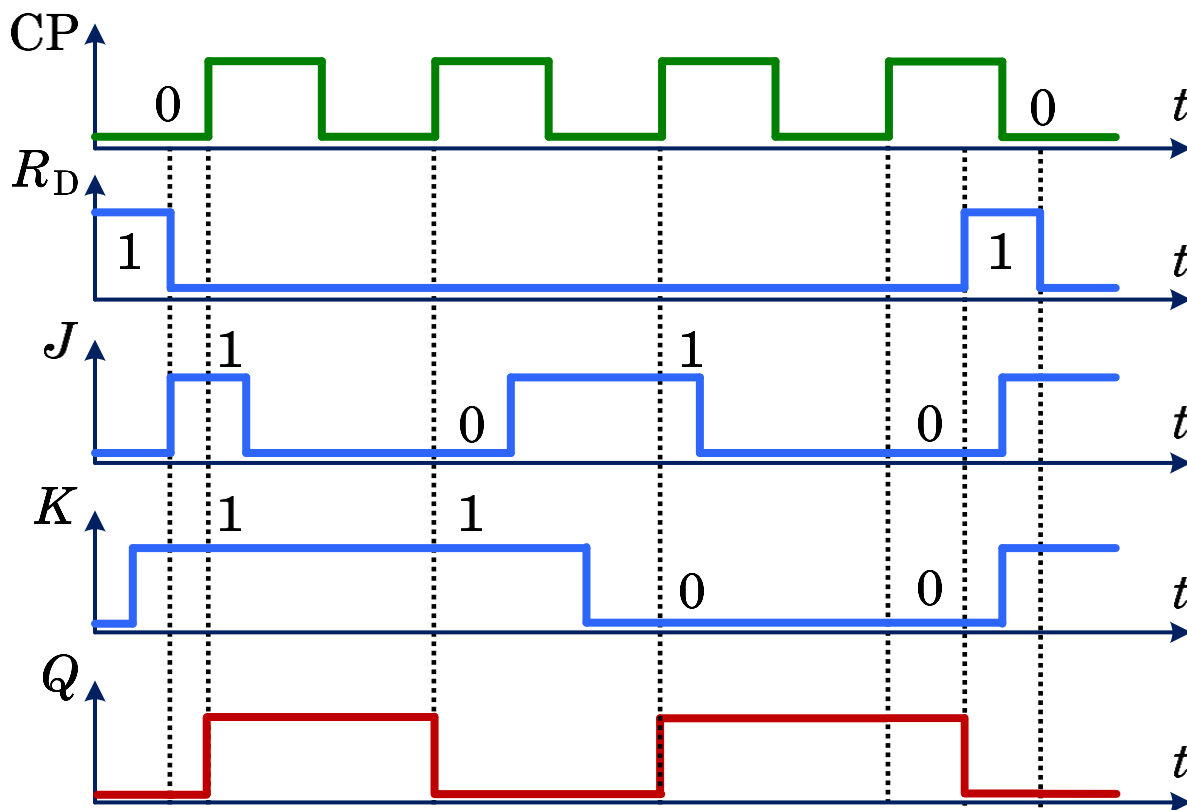
例 已知触发器符号及输入波形如图，问：（1）触发器是什么结构的？输出在什么时刻变化？（2）触发器是什么功能的？（3）画出 Q 端的波形。



解

(1) 边沿结构，
在 CP 上升沿变化

(2) JK 触发器功能，
上升沿时，具有保持、
置 1、置 0、翻转功能





§2.7 触发器的逻辑功能及描述

触发器的逻辑功能、特性表、
图形符号、特征方程描述方法？



2.7 触发器的逻辑功能及描述

■ 触发器逻辑功能？

✧ 输出与输入的逻辑关系！

✧ 按功能分类：

- SR触发器
- D触发器
- JK触发器
- T触发器

每种输出与输入关系？

如何描述？



2.7 触发器的逻辑功能及描述

一. SR触发器

✧ 特性表

- ① CP = 0 为时钟的无效状态
- ② CP = 1 为时钟的有效状态

✧ 特征方程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR = 0 \text{ (约束条件)} \end{cases}$$

SR触发器特性表				
CP	S	R	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	×	非法

		Q^{n+1}			
		SR			
Q		00	01	11	10
	0	0	0	×	1
	1	1	0	×	1



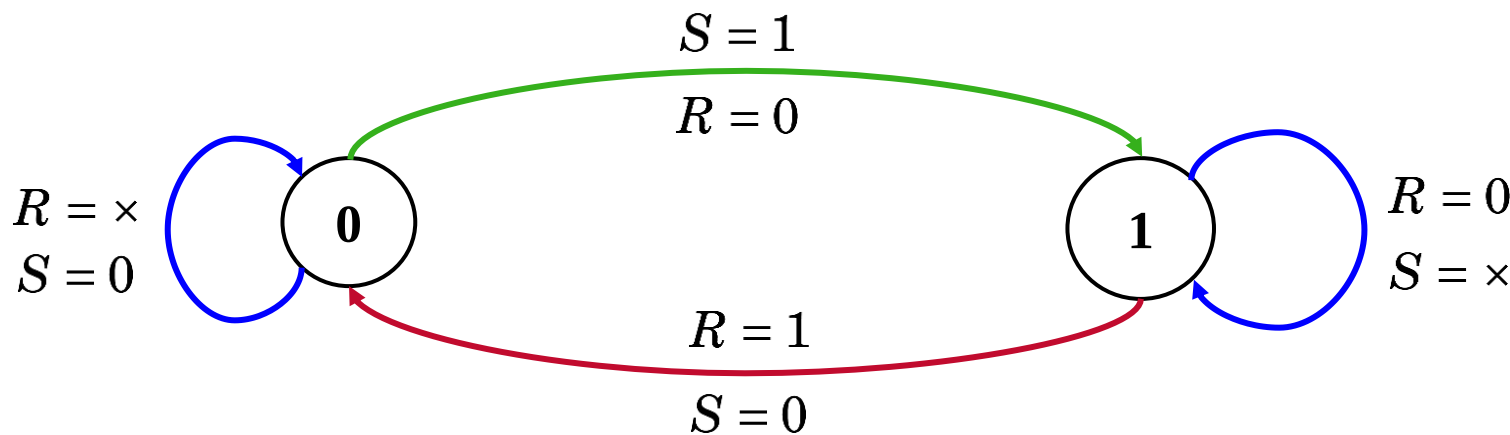
2.7 触发器的逻辑功能及描述

一. SR触发器

✧ 状态转换图

- 用圆圈表示电路的状态
- 用箭头表示状态转换的方向
- 箭头旁边的标注状态转换条件

SR触发器特性表				
CP	S	R	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	×	非法

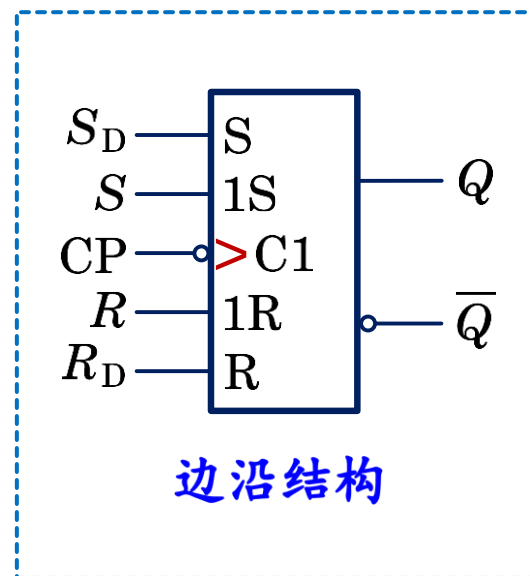
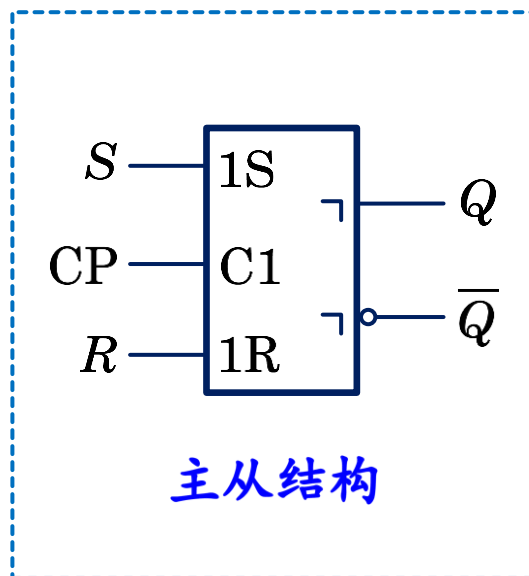
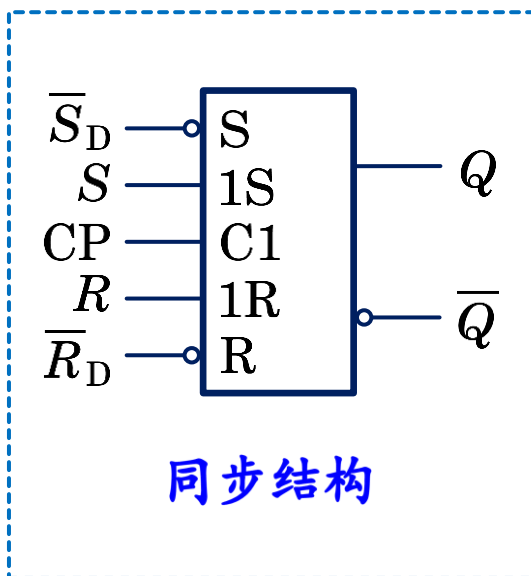




2.7 触发器的逻辑功能及描述

一. SR触发器

- ✧ 特性表
- ✧ 特征方程
- ✧ 状态转换图
- ✧ 图形符号





2.7 触发器的逻辑功能及描述

二. D触发器

✧ 特性表

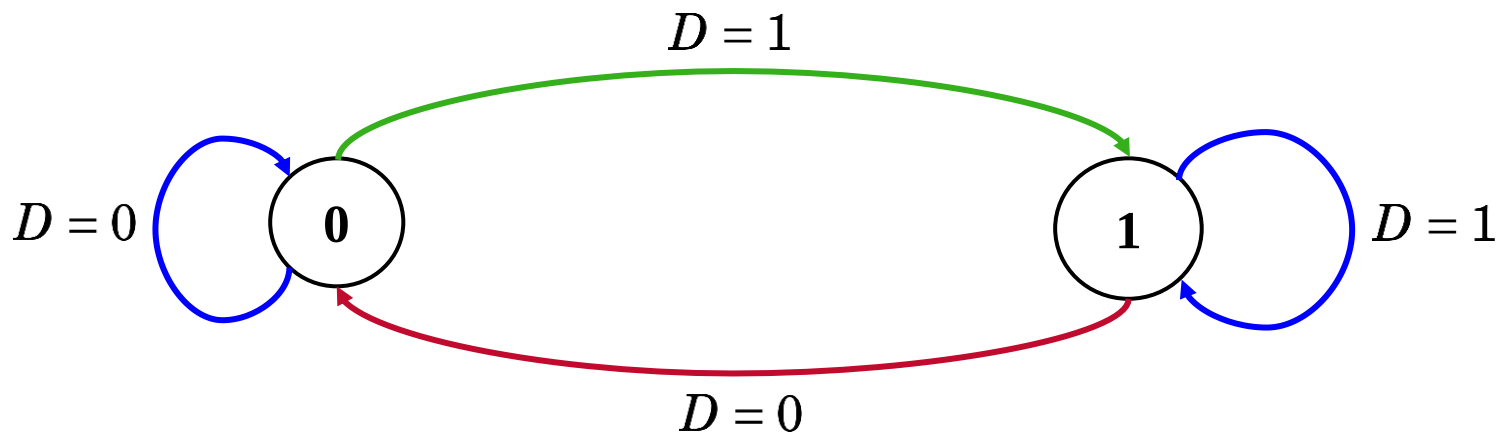
- ① $CP = 0$ 为时钟的无效状态
- ② $CP = 1$ 为时钟的有效状态

✧ 特征方程

$$Q^{n+1} = D$$

✧ 状态转换图

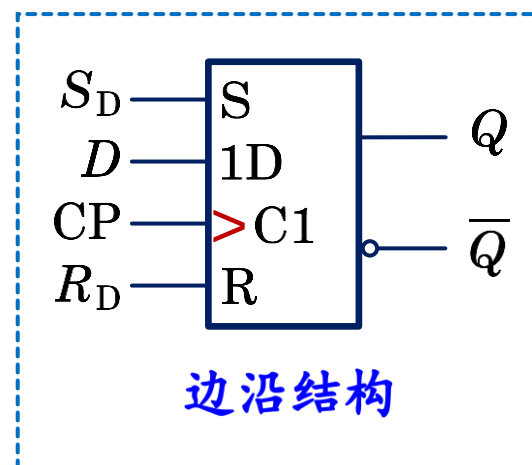
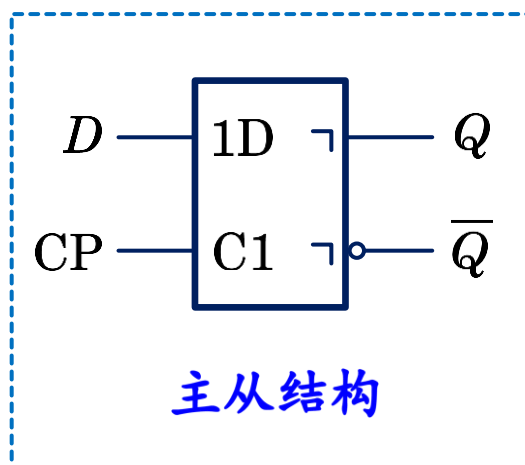
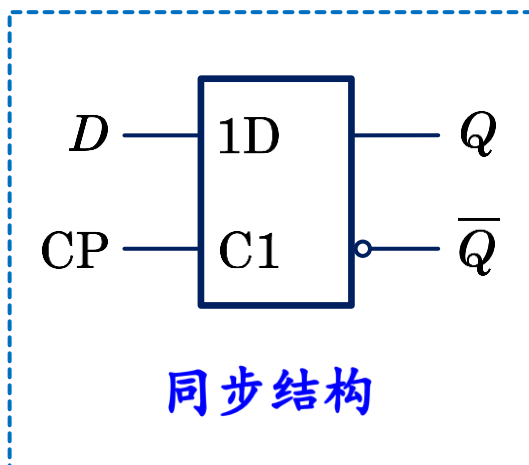
D触发器特性表			
CP	D	Q^{n+1}	说明
0	×	Q	保持
1	0	0	置 0
1	1	1	置 1



2.7 触发器的逻辑功能及描述

二. D触发器

- ✧ 特性表
- ✧ 特征方程
- ✧ 状态转换图
- ✧ 图形符号





2.7 触发器的逻辑功能及描述

三. JK触发器

✧ 特性表

- ① CP = 0 为时钟的无效状态
- ② CP = 1 为时钟的有效状态

✧ 特征方程

$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

JK触发器特性表

CP	J	K	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	$\bar{Q}$	取反

Q^{n+1}		JK			
Q		00	01	11	10
		0	0	1	1
1		1	0	0	1



2.7 触发器的逻辑功能及描述

三. JK触发器

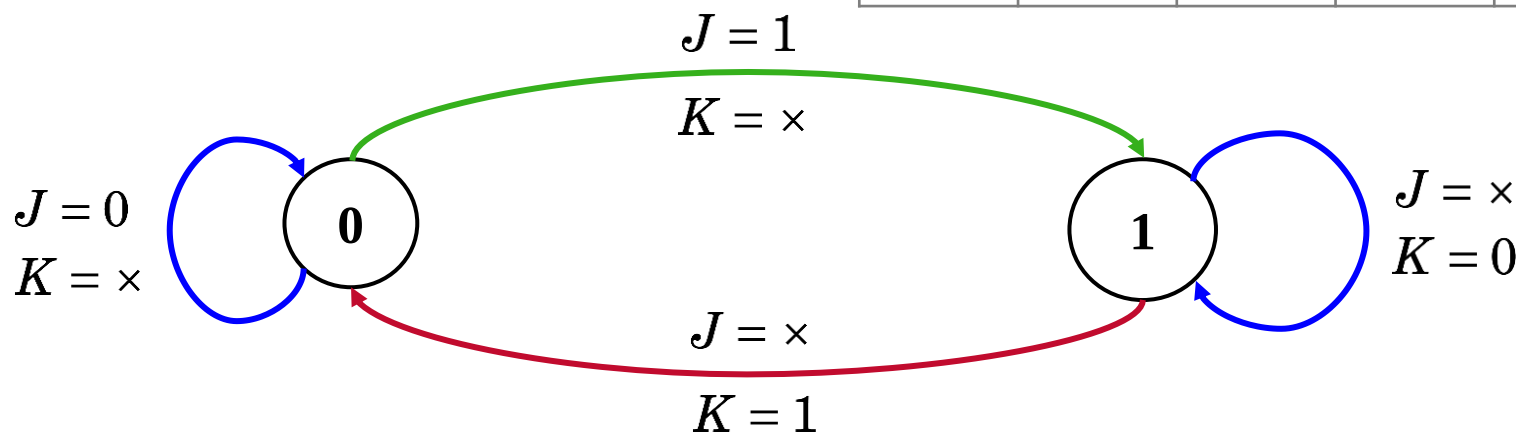
✧ 特性表

✧ 特征方程

$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

✧ 状态转换图

JK触发器特性表				
CP	J	K	Q^{n+1}	说明
0	×	×	Q	保持
1	0	0	Q	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	$\bar{Q}$	取反

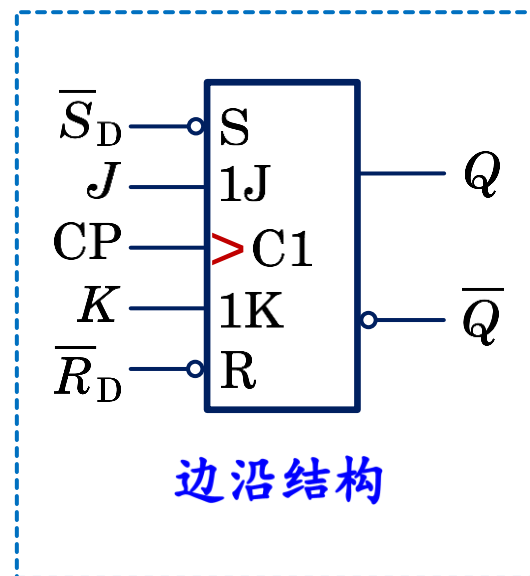
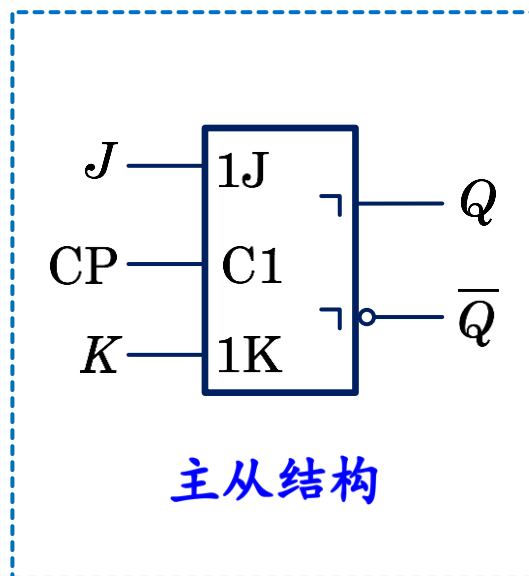
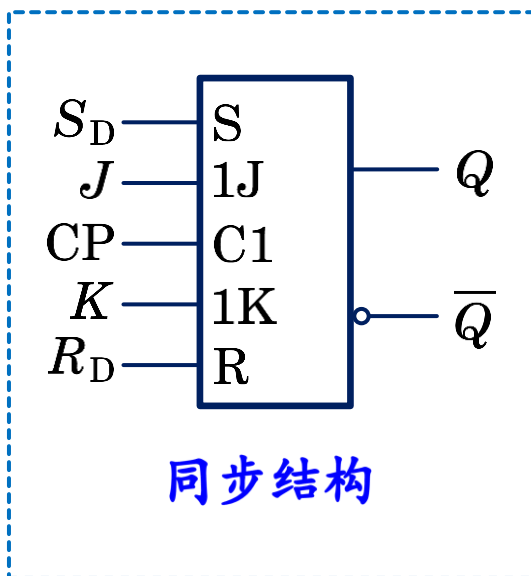




2.7 触发器的逻辑功能及描述

三. JK触发器

- ✧ 特性表
- ✧ 特征方程
- ✧ 状态转换图
- ✧ 图形符号





2.7 触发器的逻辑功能及描述

四. T触发器

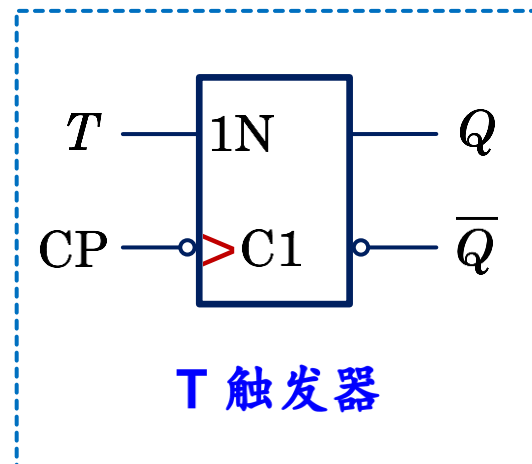
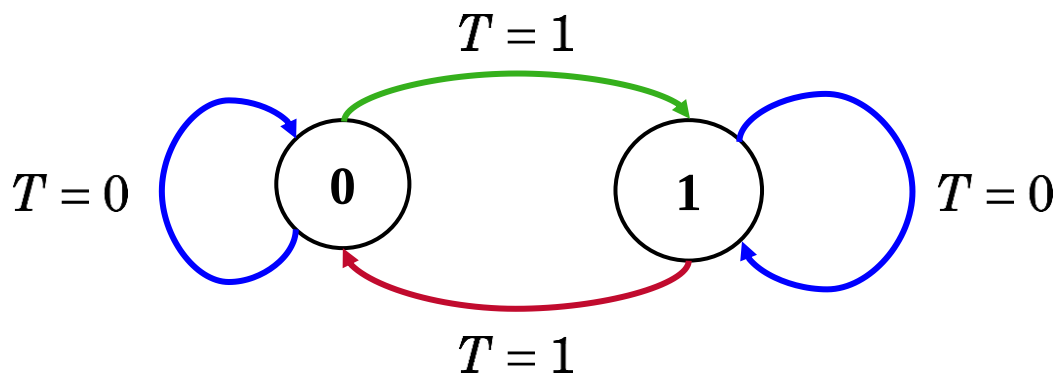
✧ 特性表

- ① CP = 0 为时钟的无效状态
- ② CP = 1 为时钟的有效状态

✧ 特征方程

$$Q^{n+1} = T\bar{Q} + \bar{T}Q = T \oplus Q$$

T触发器特性表			
CP	T	Q^{n+1}	说明
0	×	Q	保持
1	0	Q	保持
1	1	$\bar{Q}$	取反



2.7 触发器的逻辑功能及描述

五. 触发器逻辑功能的转换

- ✧ JK触发器的功能最强，输入端无限制
 - 包含SR触发器和T触发器的功能
- ✧ 在时钟控制触发器定型产品中，只有JK触发器和D触发器两大类

逻辑功能转换		
$JK \rightarrow SR$ $J = S, K = R$	$JK \rightarrow T$ $J = K = T$	$JK \rightarrow D$ $J = D, K = \bar{D}$



§2.8 集成触发器

常用触发器的类型？

如何正确使用集成电路器件？



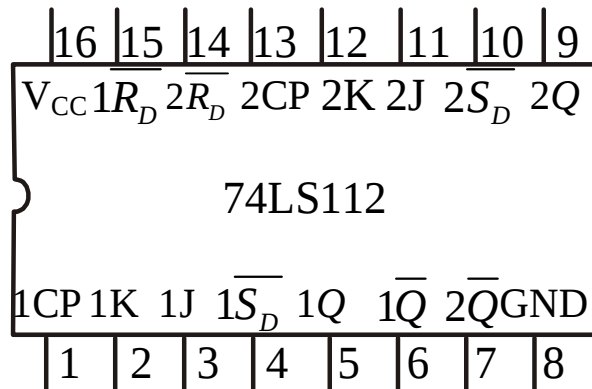
2.8 集成触发器

一. TTL结构双JK触发器74LS112

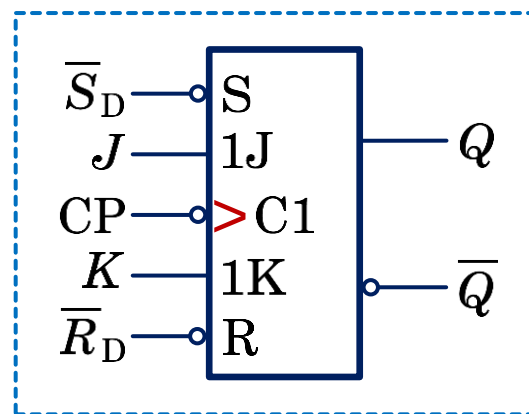
✧ 74LS112图形符号及功能

- **功能**：由TTL门电路构成的边沿型下降沿触发的双JK触发器

✧ 74LS112管脚排列图



✧ 74LS112的功能表



输入					输出	
$\overline{S}_D$	$\overline{R}_D$	CP	J	K	Q^{n+1}	$\overline{Q}^{n+1}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	×	×
1	1	↓	0	0	Q	$\overline{Q}$
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	$\overline{Q}$	Q
1	1	↑	×	×	Q	$\overline{Q}$



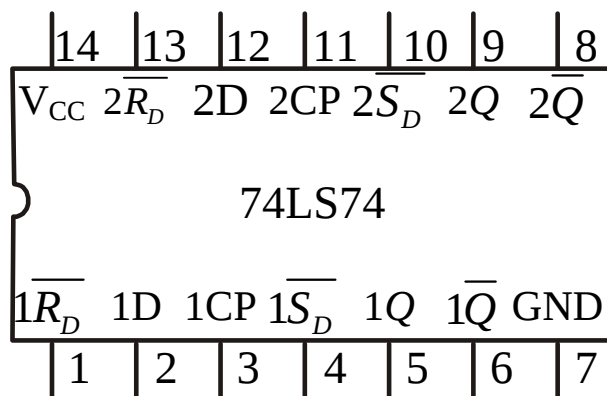
2.8 集成触发器

二. TTL结构双D触发器74LS74

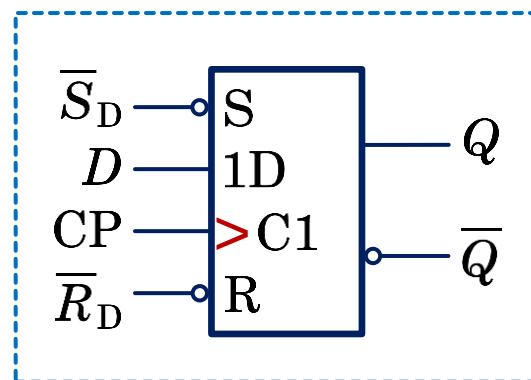
✧ 74LS74图形符号及功能

- **功能**：由TTL门电路构成的边沿型上升沿触发的双D触发器

✧ 74LS74管脚排列图



✧ 74LS74的功能表



输入				输出	
$\overline{S}_D$	$\overline{R}_D$	CP	D	Q^{n+1}	$\overline{Q}^{n+1}$
0	1	×	×	1	0
1	0	×	×	0	1
0	0	×	×	×	×
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	↓	×	Q	$\overline{Q}$



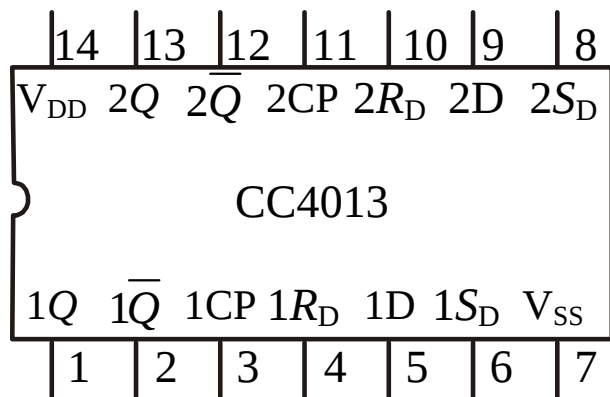
2.8 集成触发器

三. CMOS结构双D触发器CC4013

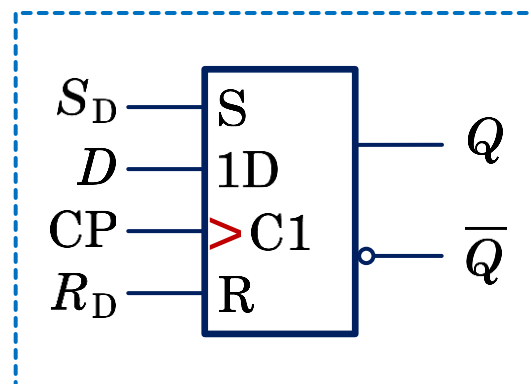
✧ CC4013图形符号及功能

- **功能**：由**CMOS**传输门构成的边沿型上升沿触发的双**D**触发器

✧ CC4013管脚排列图



✧ CC4013的功能表



输入				输出
S	R	CP	D	Q^{n+1}
1	0	×	×	1
0	1	×	×	0
1	1	×	×	×
0	0	↑	1	1
0	0	↑	0	0
0	0	↓	×	Q



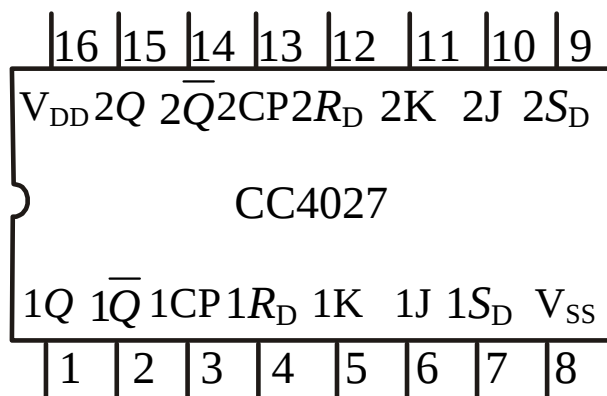
2.8 集成触发器

四. CMOS结构双JK触发器CC4027

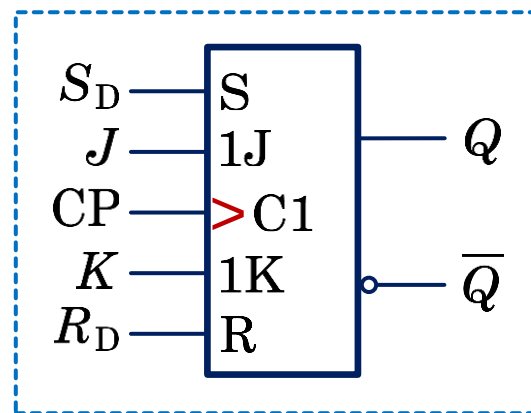
✧ CC4027图形符号及功能

- 功能：由CMOS传输门构成的边沿型上升沿触发的双JK触发器

✧ CC4027管脚排列图



✧ CC4027的功能表



输入					输出
S	R	CP	J	K	Q^{n+1}
1	0	×	×	×	1
0	1	×	×	×	0
1	1	×	×	×	×
0	0	↑	0	0	Q
0	0	↑	1	0	1
0	0	↑	0	1	0
0	0	↑	1	1	$\overline{Q}$
0	0	↓	×	×	Q



本章小结

- 半导体器件的开关特性
- 分立元件门电路
- TTL门电路
- CMOS门电路
- 门电路型号命名及正确使用
- 触发器的电路结构及动作特点
- 触发器的逻辑功能及描述
- 集成触发器

第二章小结：门电路.svg

第二章小结：触发器.svg