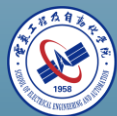




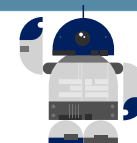
江苏师范大学
JIANGSU NORMAL UNIVERSITY



电气工程及自动化学院
SCHOOL OF ELECTRICAL ENGINEERING AND AUTOMATION

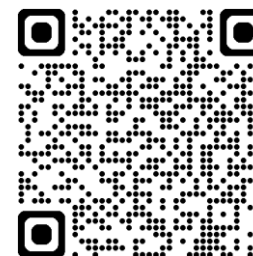


数电
技术



第4章 时序逻辑电路

李灿 | 12#503A | lic@jsnu.edu.cn | <https://sslic.cn>





第4章 时序逻辑电路

- 时序逻辑电路的基本概念
- 时序逻辑电路的分析
- 典型时序逻辑电路
- 时序逻辑电路的设计



第4章 时序逻辑电路

重点	✓ 时序逻辑电路的分析 ✓ 任意进制计数器构成
难点	● 时序逻辑电路的设计*



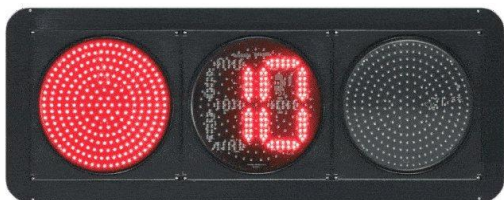
§4.1 时序逻辑电路的基本概念

数字 逻辑 电路	组合 逻辑 电路	<u>功能</u>：输出只取决于当前时刻的输入 <u>结构</u>：门电路组成，不包含记忆单元及回路
	时序 逻辑 电路	<u>功能</u>：输出取决于当前时刻的输入和原来的状态 <u>结构</u>：组合电路和记忆单元组成

4.1 时序逻辑电路的基本概念

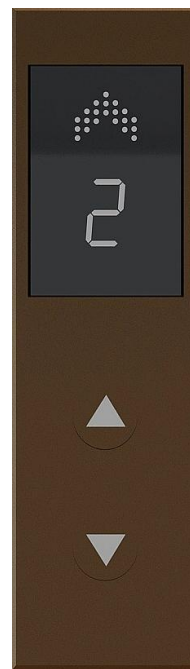
■ 交通信号灯读秒

✧ 如何知道上一秒是数字几？



■ 电梯载人顺序

✧ 你在1楼按下上楼按钮
一定会先来接你吗？



时序逻辑

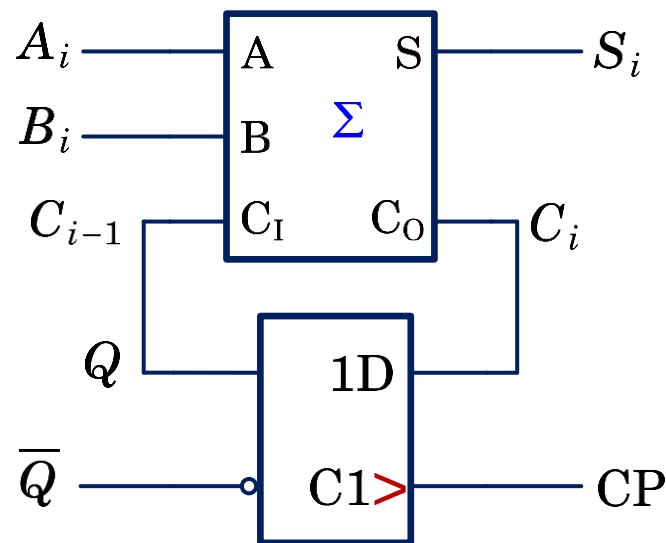


4.1 时序逻辑电路的基本概念

一. 什么是时序逻辑电路？

- ① 任一时刻的输出信号不仅取决于当时的输入信号
- ② 还取决于电路原来的状态（即以前的输入状态）

串行加法器：将两个多位数相加时，采取由低位到高位逐渐位相加的方式（若还需记忆每次相加之后的进位结果）



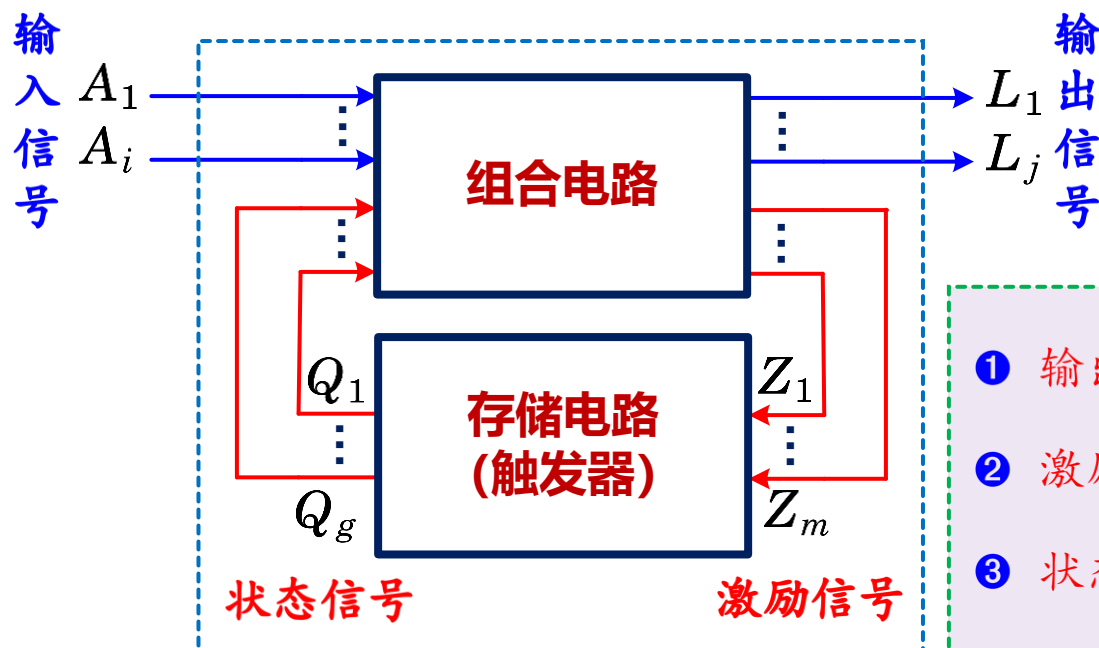
- ① 全加器：完成 A_i 、 B_i 、 C_{i-1} 三个数相加运算并输出和位 S_i 和进位 C_i
- ② 触发器：记忆每次相加后的进位结果



4.1 时序逻辑电路的基本概念

二. 时序逻辑电路的结构特点

- ① 通常包含组合电路和存储电路，存储电路（触发器）必不可少
- ② 存储电路的输出状态必须反馈到组合电路的输入端，与输入信号一起，共同决定组合逻辑电路的输出



- ① 输出方程组: $L = F(A, Q)$ (j 个)
- ② 激励方程组: $Z = G(A, Q)$ (m 个)
- ③ 状态方程组: $Q^{n+1} = H(Z, Q)$ (g 个)



4.1 时序逻辑电路的基本概念

三. 时序逻辑电路的分类

✧ 按存储电路是否有统一时钟分类

- 同步时序电路
- 异步时序电路

✧ 按输入输出信号关系分类

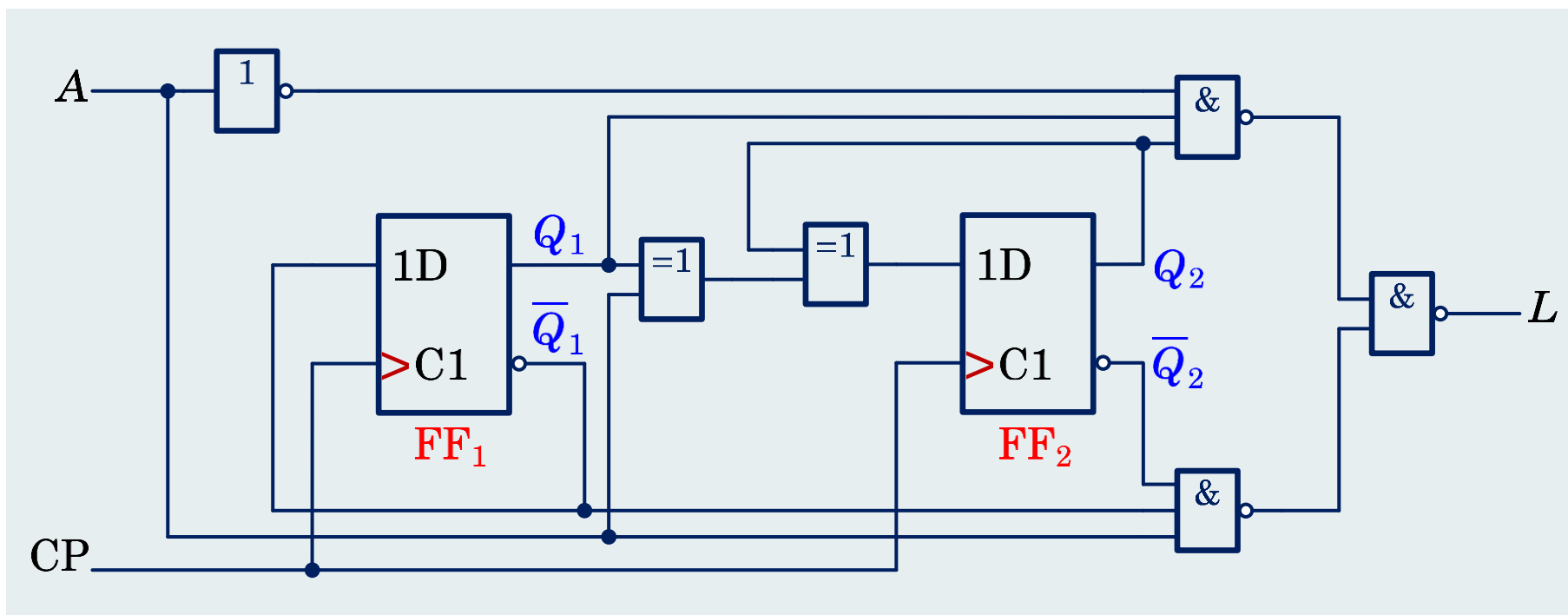
- 米里 (mealy) 型
- 莫尔 (moor) 型



4.1 时序逻辑电路的基本概念

三. 时序逻辑电路的分类：同步时序电路

✧ 存储电路有统一时钟脉冲**CP**，电路的状态变更与**CP**同步



一般采用触发器作为存储电路，当时钟脉冲过后，电路将锁定在新的状态

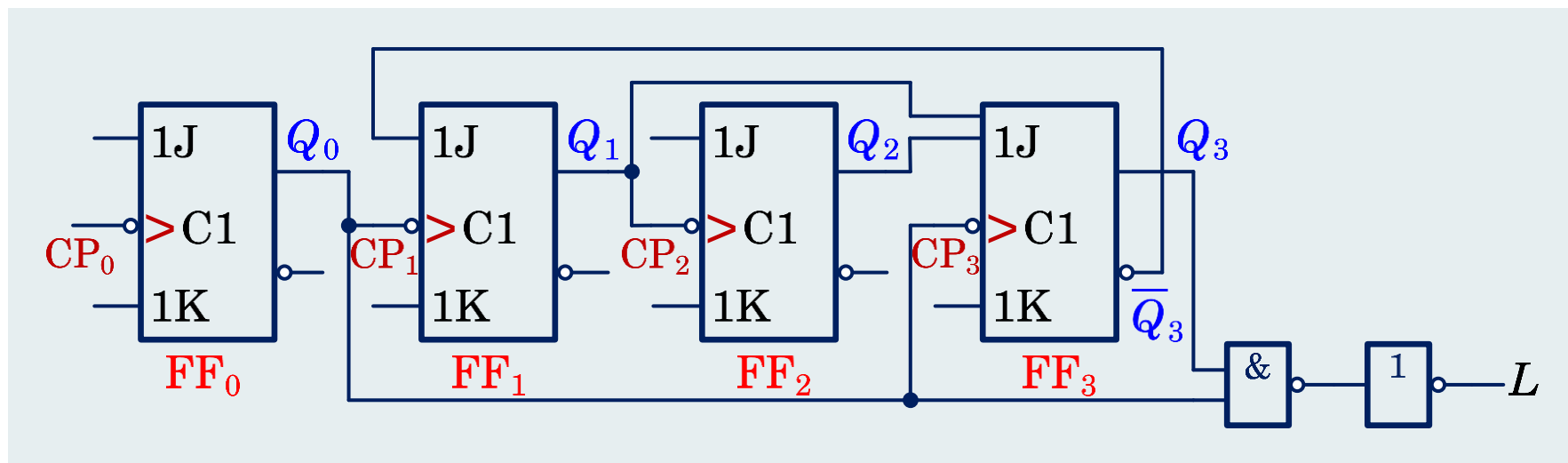


4.1 时序逻辑电路的基本概念

三. 时序逻辑电路的分类：异步时序电路

✧ 存储电路时钟脉冲没有接在统一的CP上

- 这种电路的状态更新不是同时发生的

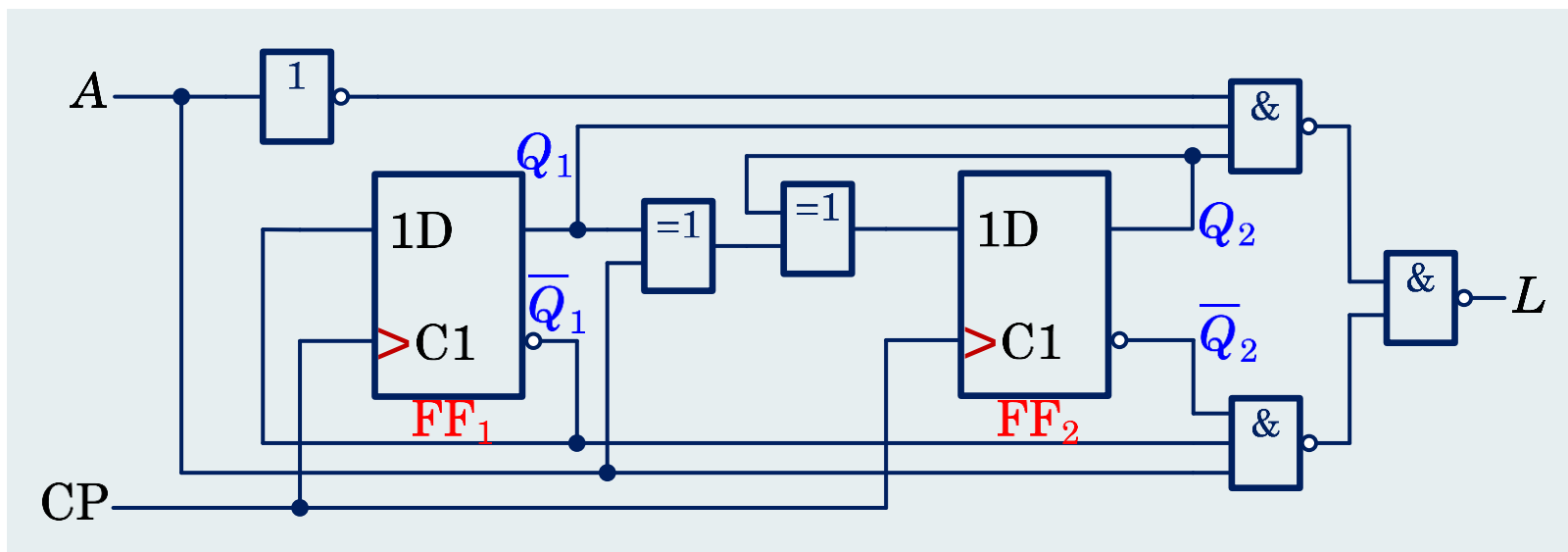




4.1 时序逻辑电路的基本概念

三. 时序逻辑电路的分类：米里 (mealy) 型

- ① 时序电路的输出信号不仅与存储状态有关
- ② 还与外部输入有关

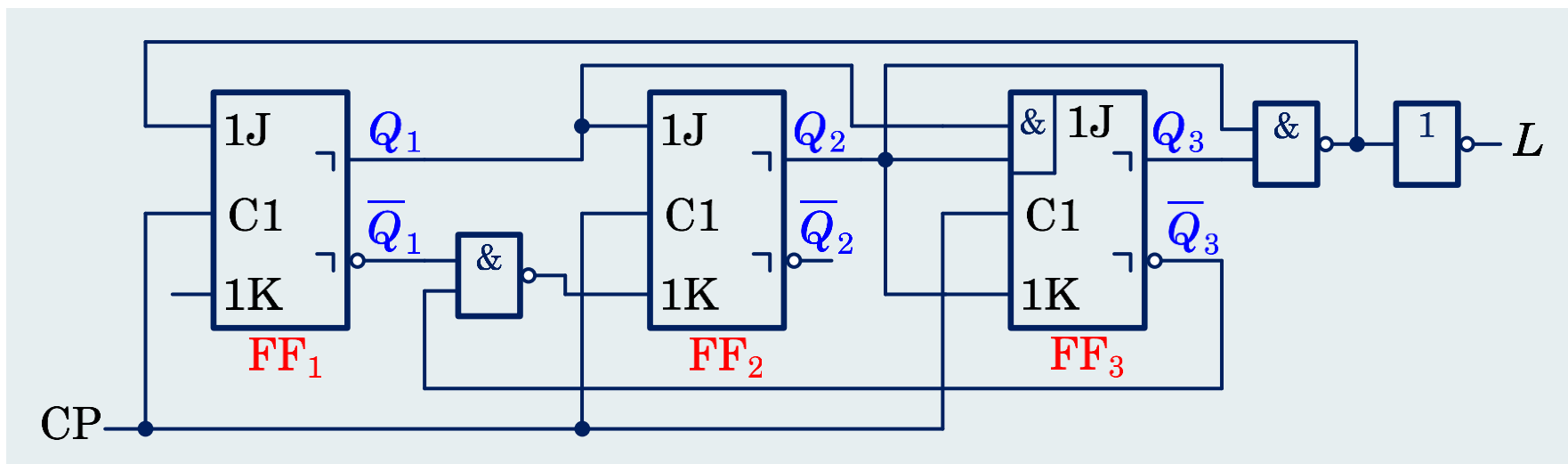




4.1 时序逻辑电路的基本概念

三. 时序逻辑电路的分类：莫尔 (moor) 型

- ① 时序电路的输出信号仅与存储状态有关
- ② 与外部输入无关





4.1 时序逻辑电路的基本概念

四. 时序逻辑电路的描述方法

1. 逻辑方程组
2. 状态转换表
3. 状态转换图
4. 逻辑图
5. 时序图



4.1 时序逻辑电路的基本概念

四. 时序逻辑电路的描述方法：状态转换表

✧ 什么是状态转换表

- 反映时序电路的输入 A 、输出 L 、现态 Q 、次态 Q^{n+1} 之间的逻辑关系和状态转换规律的表格，简称状态表

✧ 状态转换表的列写

- 将现态 Q 、输入 A 作为输入量，根据逻辑方程计算次态 Q^{n+1} 及输出 L

✧ 状态表 v.s. 真值表

- 状态表的输入必须包括现态

例：可控计数器状态表

$Q_1^{n+1}Q_0^{n+1}/L$		Q_1Q_0			
		00	01	11	10
A	0	11/1	00/0	10/0	01/0
	1	01/0	10/0	00/1	11/0



4.1 时序逻辑电路的基本概念

四. 时序逻辑电路的描述方法：状态转换表

例：可控计数器状态表

$Q_1^{n+1}Q_0^{n+1}/L$		Q_1Q_0			
		00	01	11	10
A	0	11/1	00/0	10/0	01/0
	1	01/0	10/0	00/1	11/0

输入	现态	次态	输出
A	Q_1Q_0	$Q_1^{n+1}Q_0^{n+1}$	L
0	00	11	1
0	01	00	0
0	10	01	0
0	11	10	0
1	00	01	0
1	01	10	0
1	10	11	0
1	11	00	1



4.1 时序逻辑电路的基本概念

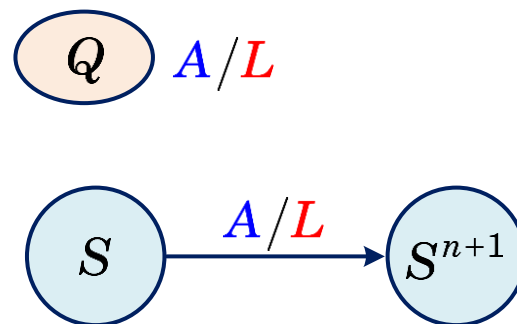
四. 时序逻辑电路的描述方法：状态转换图

✧ 状态转换图及其作用

- 表示时序电路的**状态**、**状态转换条件**、**转换方向**及**转换规律**的图形，简称为**状态图**
- 可以直观形象地表示时序电路运行中的**全部状态**、**状态间转换关系**、**转换条件**及**结果**

✧ 状态图的画法

- **三要素**：**状态**、**方向**、**条件**

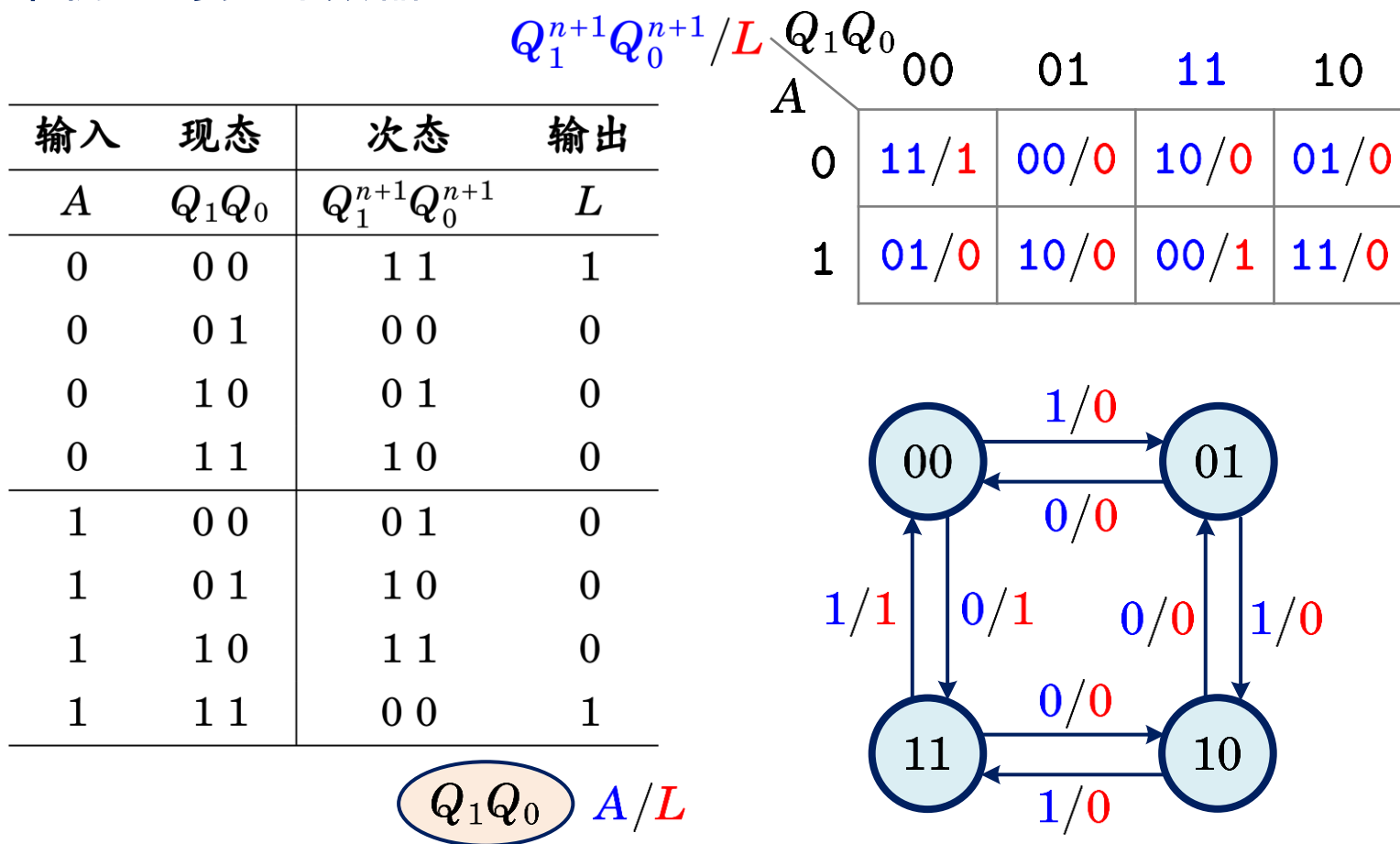




4.1 时序逻辑电路的基本概念

四. 时序逻辑电路的描述方法：状态转换图

✧ 举例：可控计数器





4.1 时序逻辑电路的基本概念

四. 时序逻辑电路的描述方法：时序图

✧ 时序图的作用

- 反映时序电路的输入、输出信号在时间上对应关系的波形图
- 在时序电路调试时可用来检查逻辑功能是否正确

✧ 时序图的绘制及特点

- 按照状态表或状态图，以时间为横轴，分别绘制每个时钟节拍下电路状态及输出并用高低电平表示，即得到了时序图
- 特点：按时间的先后顺序画状态及输出的变化



§4.2 时序逻辑电路的分析



4.2 时序逻辑电路的分析

一、时序逻辑电路的一般分析方法

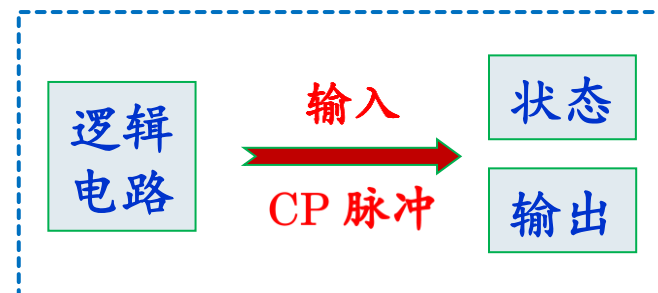
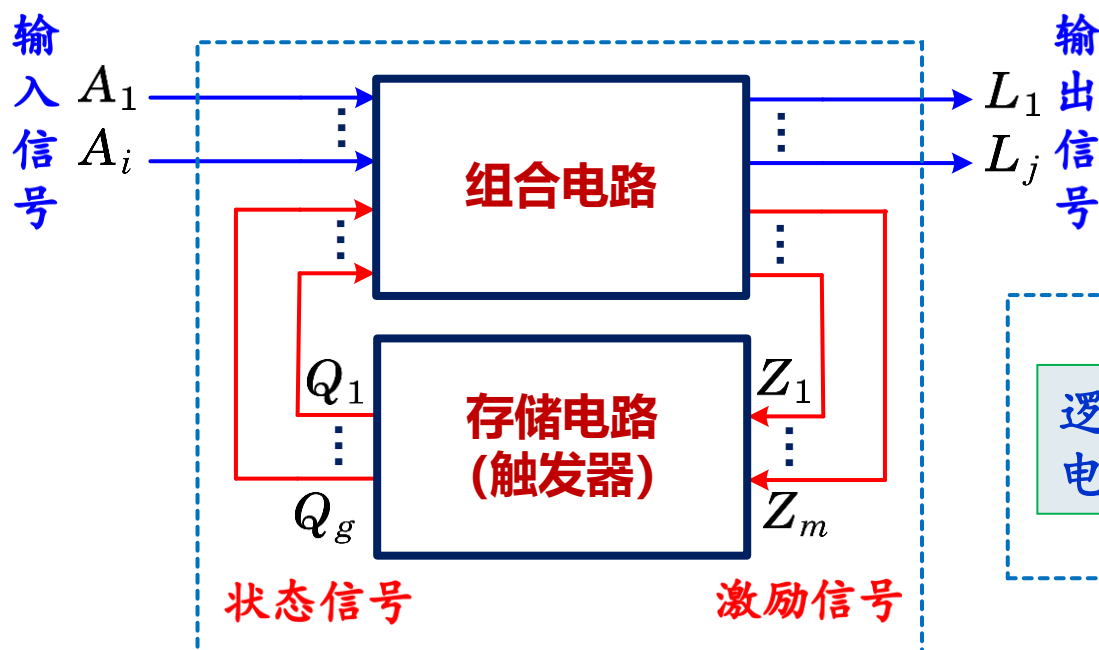
✧ 分析的任务

逻辑电路图



电路逻辑功能

✧ 时序电路逻辑功能



找出变化规律?

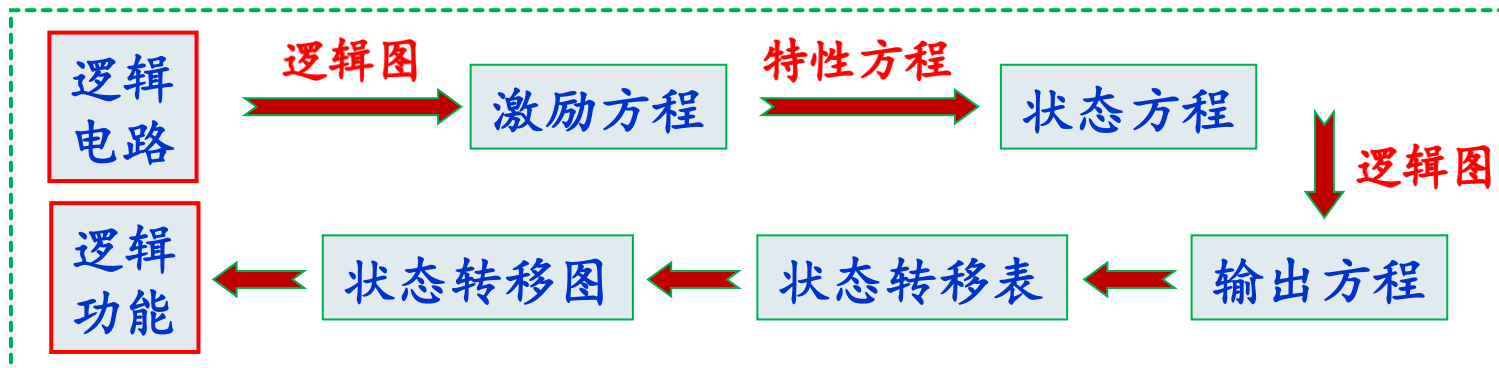
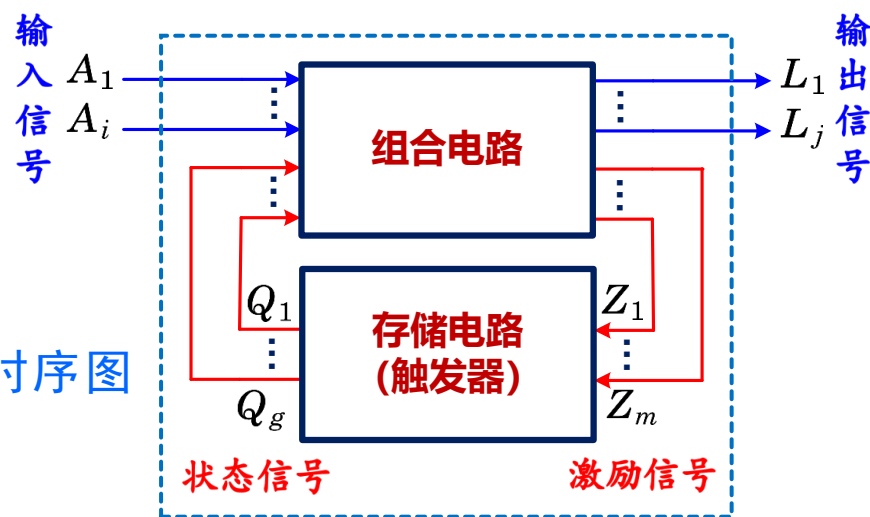


4.2 时序逻辑电路的分析

一、时序逻辑电路的一般分析方法

✧ 分析时序电路逻辑功能的一般步骤

- ① 分析电路组成
- ② 列写每个触发器的激励方程
- ③ 列写每个触发器状态方程
- ④ 列写输出方程
- ⑤ 列状态转移表、状态转换图或时序图
- ⑥ 分析逻辑功能





4.2 时序逻辑电路的分析

一、时序逻辑电路的一般分析方法

✧ 分析时序电路逻辑功能的一般步骤

① 分析电路组成

确定组合电路部分和存储电路部分

② 列写每个触发器的激励方程

由给定的逻辑图写出触发器输入信号的逻辑函数式

③ 列写每个触发器状态方程

把得到的激励方程代入相应触发器的特性方程，得到其状态方程

④ 列写输出方程

根据逻辑图写出电路的输出方程

⑤ 列状态转移表、状态转换图

或时序图

⑥ 分析逻辑功能



4.2 时序逻辑电路的分析

二. 同步时序逻辑电路的分析

✧ 特点

- 同步时序电路有统一的**CP**
- 所有触发器的时钟**CP**端连在一起

✧ 有**CP**时

- 状态的更新在**CP**的上升沿（↑）或下降沿（↓）

✧ 无**CP**时

- 如有外输入**A**的变化，会引起输出信号的变化
- 但存储电路的状态不变



4.2 时序逻辑电路的分析：同步

例4-1

例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

解 (1) 分析电路结构

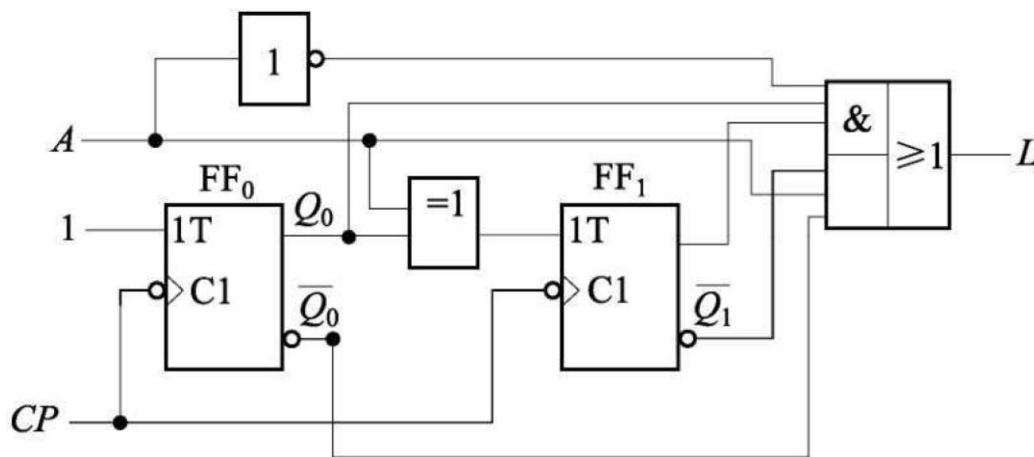
(2) 列写触发器的激励方程

$$\begin{cases} T_0 = 1 \\ T_1 = A \oplus Q_0 \end{cases}$$

(3) 列写触发器的状态方程

$$\begin{cases} Q_0^{n+1} = T_0 \oplus Q_0 = 1 \oplus Q_0 = \bar{Q}_0 \\ Q_1^{n+1} = T_1 \oplus Q_1 = A \oplus Q_0 \oplus Q_1 \end{cases}$$

(4) 列写电路输出方程 $L = \bar{A}Q_1Q_0 + A\bar{Q}_1\bar{Q}_0$





4.2 时序逻辑电路的分析：同步

例4-1

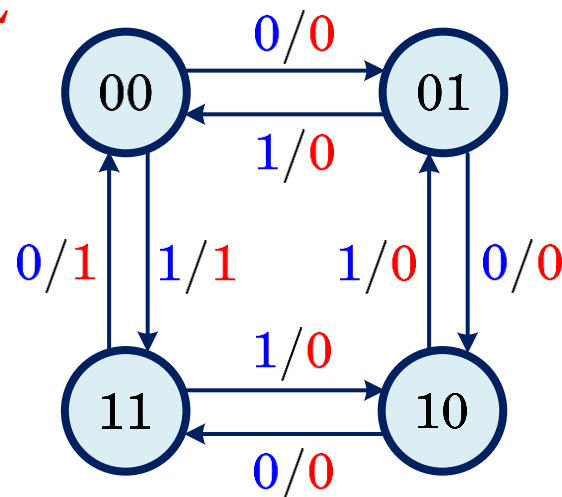
例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

解 (5) 列状态表、状态图、时序图

输入	现态	次态	输出
A	Q_1Q_0	$Q_1^{n+1}Q_0^{n+1}$	L
0	0 0	0 1	0
0	0 1	1 0	0
0	1 0	1 1	0
0	1 1	0 0	1
1	0 0	1 1	1
1	0 1	0 0	0
1	1 0	0 1	0
1	1 1	1 0	0

$$\begin{cases} Q_0^{n+1} = T_0 \oplus Q_0 = 1 \oplus Q_0 = \bar{Q}_0 \\ Q_1^{n+1} = T_1 \oplus Q_1 = A \oplus Q_0 \oplus Q_1 \\ L = \bar{A}Q_1Q_0 + A\bar{Q}_1\bar{Q}_0 \end{cases}$$

Q_1Q_0 A/L

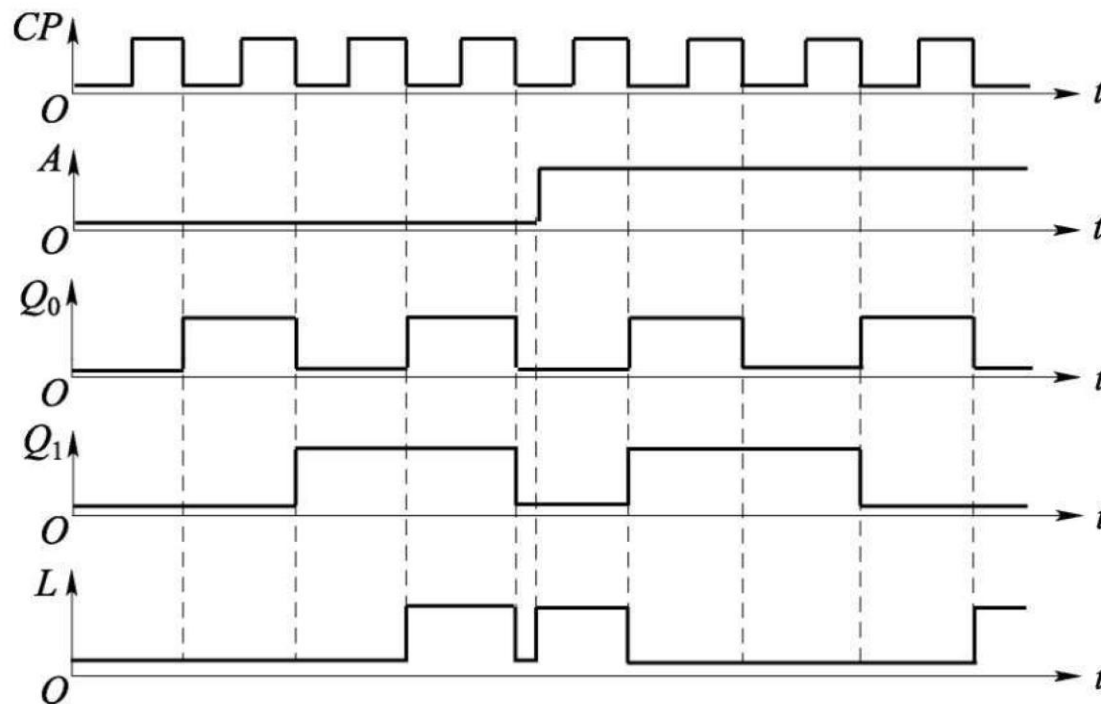
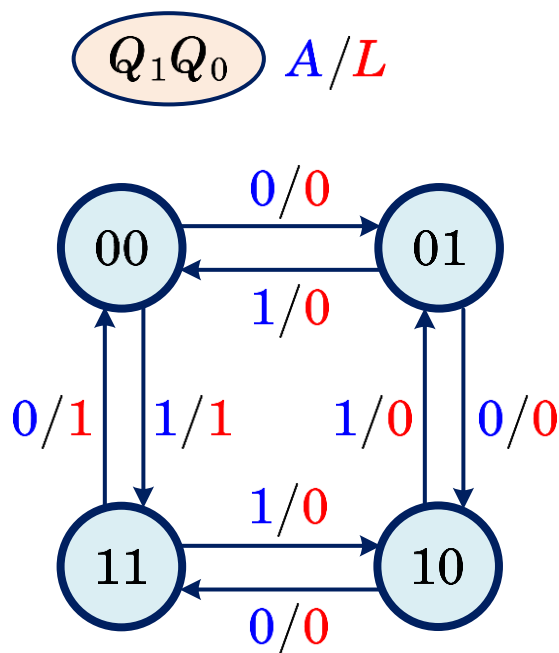




4.2 时序逻辑电路的分析：同步

例4-1

解 (5) 列状态表、状态图、时序图



(6) 电路逻辑功能

- ① 该电路是一个受外部输入 A 控制的 2 位二进制 (4 进制) 加减计数器
- ② 当 $A=0$ 时，为加法计数器；当 $A=1$ 时，为四进制减法计数器

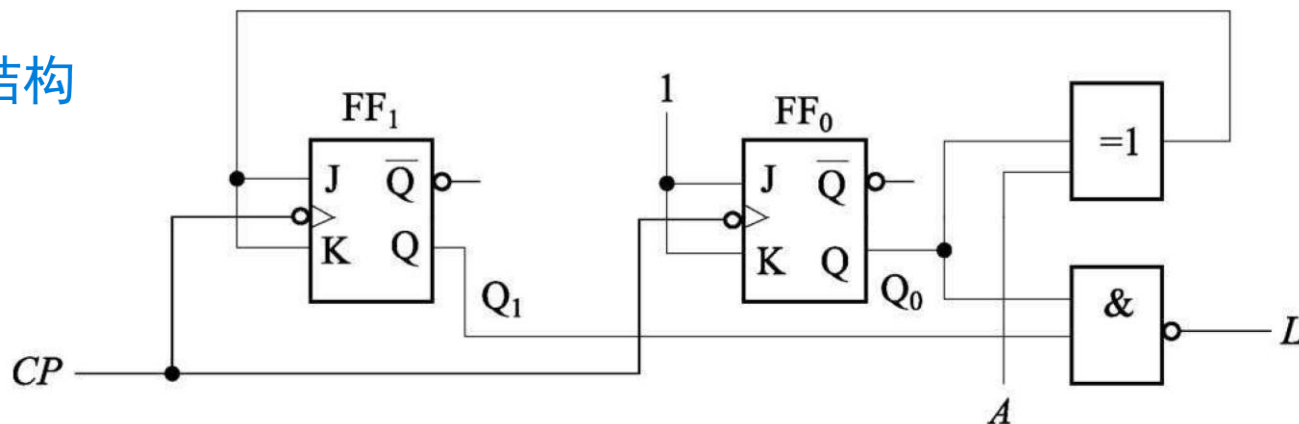


4.2 时序逻辑电路的分析：同步

例4-2

例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

解 (1) 分析电路结构



(2) 列写触发器的激励方程

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \oplus A \end{cases}$$

(3) 列写触发器的状态方程

$$\begin{cases} Q_0^{n+1} = \overline{Q_0} \\ Q_1^{n+1} = Q_0 \oplus A \oplus Q_1 \end{cases}$$

(4) 列写电路输出方程 $L = \overline{Q_1} \cdot Q_0$



4.2 时序逻辑电路的分析：同步

例4-2

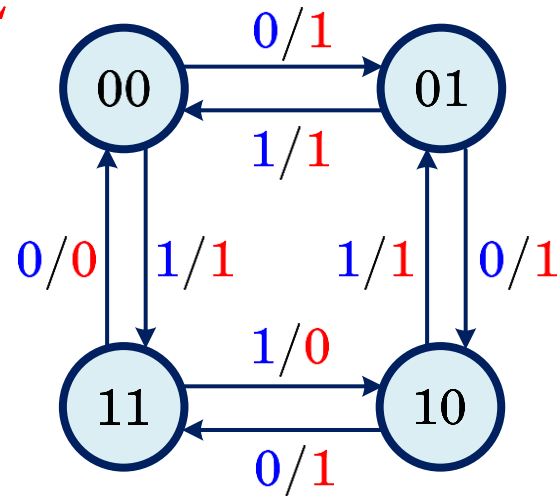
例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

解 (5) 列状态表、状态图、时序图

输入	现态	次态	输出
A	Q_1Q_0	$Q_1^{n+1}Q_0^{n+1}$	L
0	0 0	0 1	1
0	0 1	1 0	1
0	1 0	1 1	1
0	1 1	0 0	0
1	0 0	1 1	1
1	0 1	0 0	1
1	1 0	0 1	1
1	1 1	1 0	0

$$\begin{cases} Q_0^{n+1} = \overline{Q_0} \\ Q_1^{n+1} = Q_0 \oplus A \oplus Q_1 \\ L = \overline{Q_1 \cdot Q_0} \end{cases}$$

Q_1Q_0 A/L

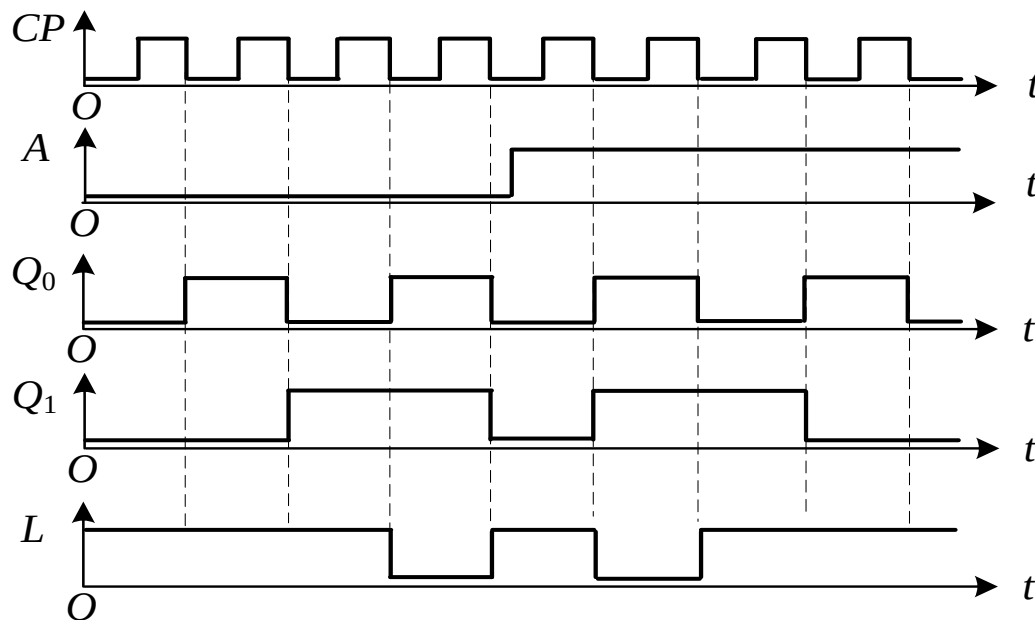
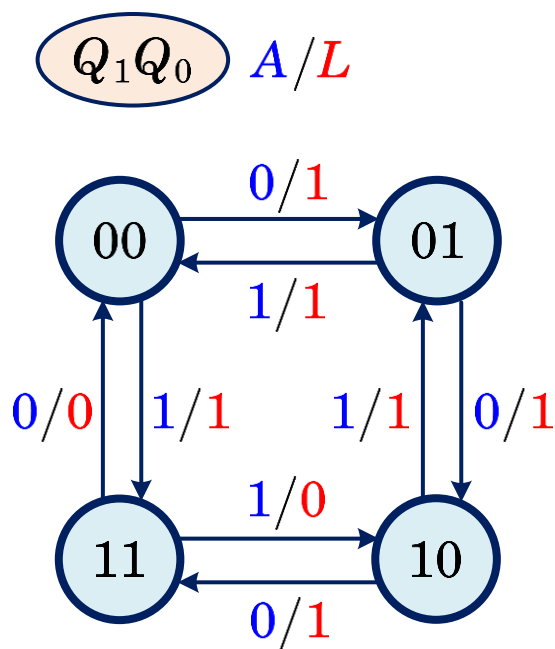




4.2 时序逻辑电路的分析：同步

例4-2

解 (5) 列状态表、状态图、时序图



与例 4-1 不同，输出 L 仅与触发器状态有关，属于莫尔型电路

(6) 电路逻辑功能

- ① 该电路是一个受外部输入 A 控制的 2 位二进制 (四进制) 加减计数器
- ② 当 $A=0$ 时，为加法计数器；当 $A=1$ 时，为四进制减法计数器



4.2 时序逻辑电路的分析

三. 异步时序逻辑电路的分析

✧ 特点

- 异步时序电路没有统一的CP
- CP只触发部分触发器，其余触发器由外部输入的变化直接引起

✧ 分析异步时序电路的注意事项

- ① 写出各触发器的时钟方程，注意存储电路的状态转换条件
- ② 分析要从输入信号触发的第一个触发器开始
- ③ 电路存在时间延迟

✧ 根据时序电路输入信号分类

- 脉冲异步时序电路（输入信号以脉冲有无表示）
- 电位异步时序电路（输入信号以电位高低表示）



4.2 时序逻辑电路的分析

三. 异步时序逻辑电路的分析

✧ 分析异步时序电路的步骤

- ① 分析电路组成
- ② 列写每个触发器的激励方程（注意将**CP**信号作为逻辑量代入方程）
- ③ 列写每个触发器状态方程
- ④ 列写输出方程
- ⑤ 列状态转移表、状态转换图或时序图
- ⑥ 分析逻辑功能

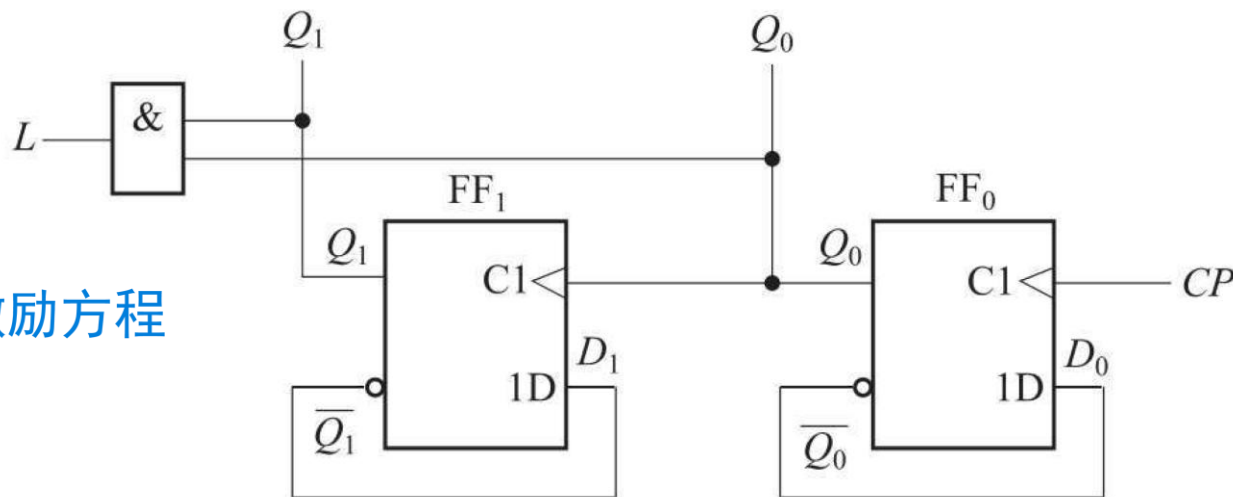


4.2 时序逻辑电路的分析：异步

例4-3

例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

解 (1) 分析电路结构



(2) 列写触发器的激励方程

$$\begin{cases} D_0 = \overline{Q_0} \\ D_1 = \overline{Q_1} \end{cases}$$

时钟方程 $\begin{cases} CP_0 = CP, \text{ 时钟脉冲源的上升沿触发} \\ CP_1 = Q_0, \text{ 当 } Q_0 \text{ 由 } 0 \rightarrow 1 \text{ 时, } Q_1 \text{ 才能改变状态} \end{cases}$

(3) 触发器的状态方程 $\begin{cases} Q_0^{n+1} = D_0 = \overline{Q_0} \\ Q_1^{n+1} = D_1 = \overline{Q_1} \end{cases}$

(4) 电路输出方程 $L = Q_1 Q_0$



4.2 时序逻辑电路的分析：异步

例4-3

例 图示电路中，假设触发器的初始状态均为 0，写出电路的激励方程、状态方程、输出方程，列出状态转换表、画出状态转换图、时序图，说明电路的逻辑功能。

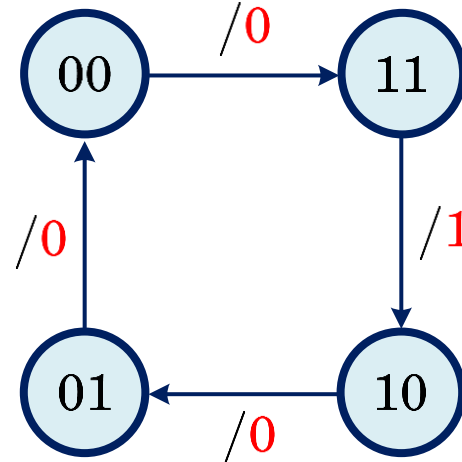
解 (5) 列状态表、状态图、时序图

现态	次态	输出	时钟脉冲
Q_1Q_0	$Q_1^{n+1}Q_0^{n+1}$	L	$CP_1 \quad CP_0$
0 0	1 1	0	$\uparrow \quad \uparrow$
1 1	1 0	1	0 $\uparrow$
1 0	0 1	0	$\uparrow \quad \uparrow$
0 1	0 0	0	0 $\uparrow$

$$\begin{cases} CP_0 = CP \\ CP_1 = Q_0 \end{cases} \begin{cases} Q_0^{n+1} = D_0 = \overline{Q_0} \\ Q_1^{n+1} = D_1 = \overline{Q_1} \end{cases}$$

$$L = Q_1Q_0$$

Q_1Q_0 / L

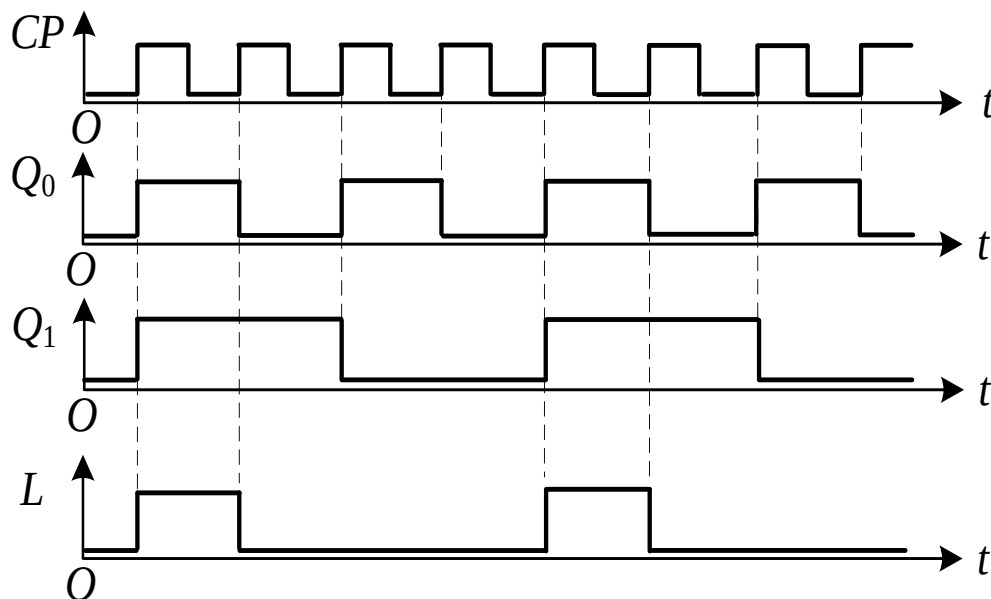
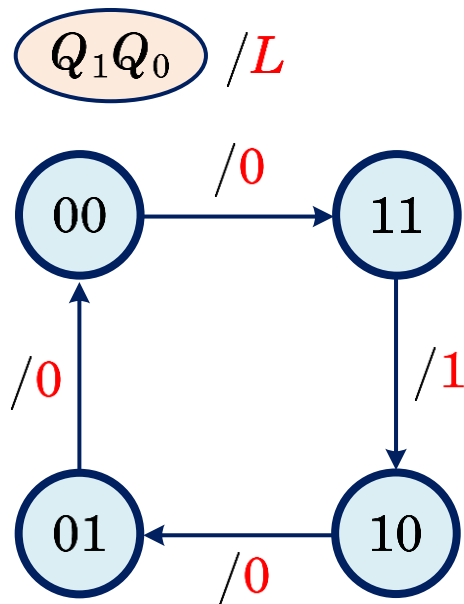




4.2 时序逻辑电路的分析：异步

例4-3

解 (5) 列状态表、状态图、时序图



(6) 电路逻辑功能

电路一共有 4 个状态 00、11、10、01，在时钟脉冲作用下，按照减 1 规律循环变化，是一个**四进制减法计数器**， L 是借位信号

分析异步时序电路时要注意**时钟信号**对电路的影响



§4.3 典型时序逻辑电路



4.3 典型时序逻辑电路

■ 主要介绍3类

- ✧ 寄存器
- ✧ 移位寄存器
- ✧ 计数器



4.3 典型时序逻辑电路

一、寄存器

✧ 作用

- 用于寄存一组二值代码

✧ 结构

- 基本组成:

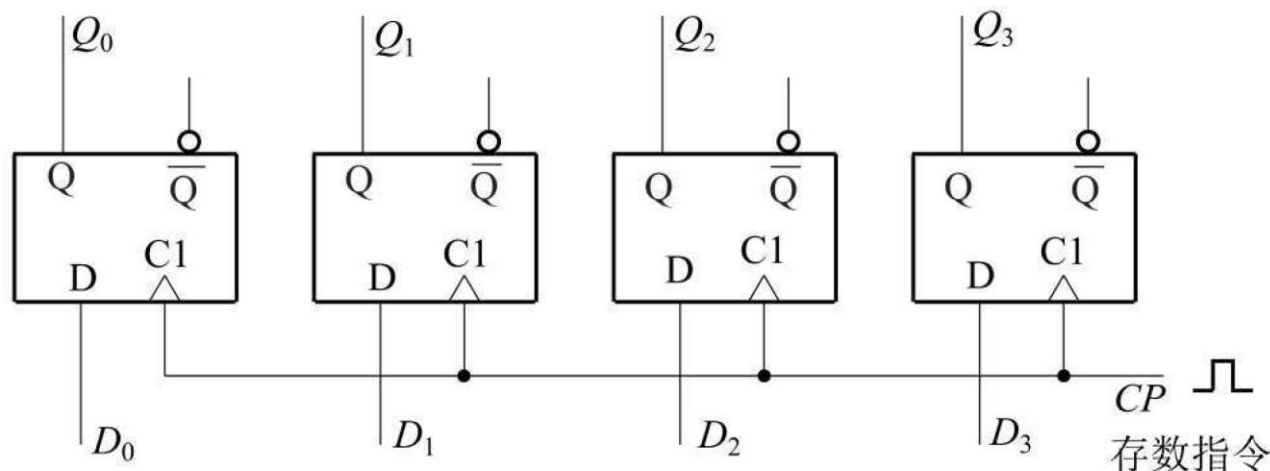
由N个触发器组成，储存一组N位二值代码
需要相同的时钟控制

- 附加控制电路:

清零、输入控制、输出控制

✧ 输入/输出方式

- 串行: 各位代码依次输入或输出
- 并行: 各位代码同时输入或输出

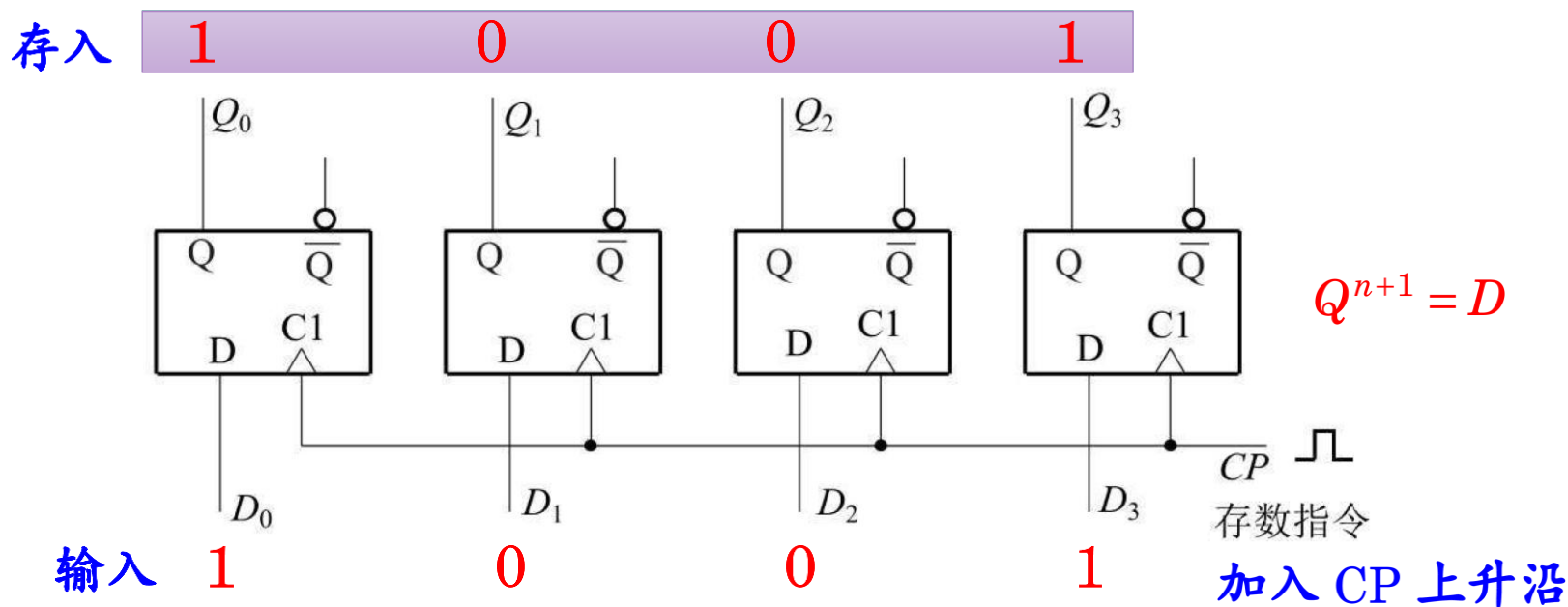




4.3 典型时序逻辑电路

一. 寄存器

✧ 存数举例





4.3 典型时序逻辑电路

一、寄存器：集成芯片

✧ 74LS175 (TTL)

• 2种功能：

寄存4位数据 清零

① $\overline{R}_D = 0$ ，寄存器数据清除
不受 CP 控制，为异步复位端

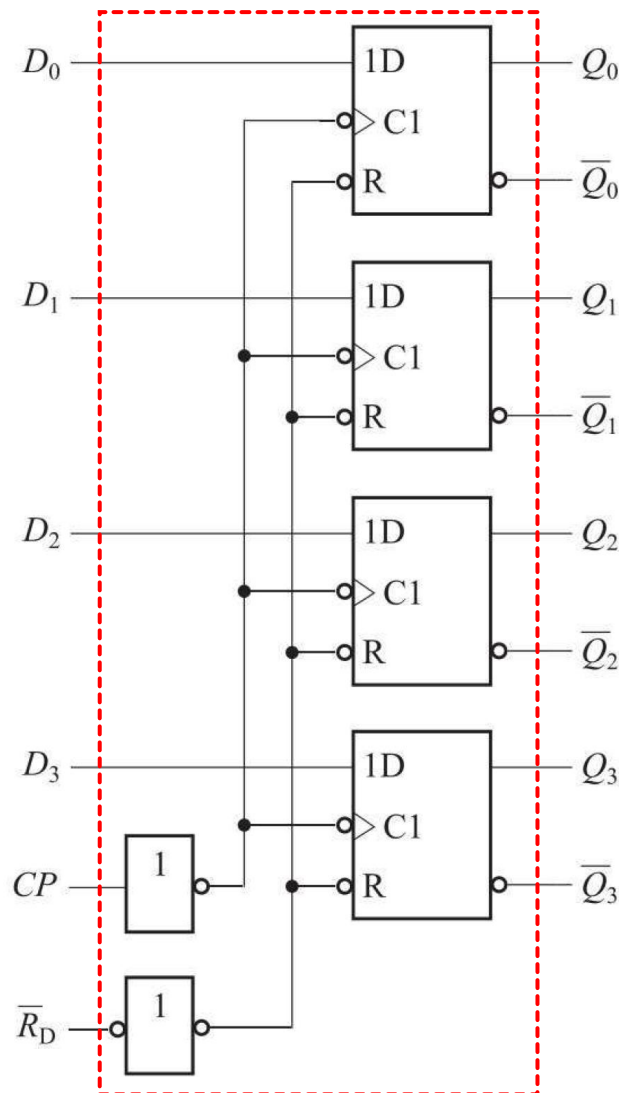
② $\overline{R}_D = 1$ ，CP 上升沿到达时

$$Q^{n+1} = D$$

$$Q_3 Q_2 Q_1 Q_0 = D_3 D_2 D_1 D_0$$

实现 4 位数储存

③ 为并行输入、并行输出





4.3 典型时序逻辑电路

一、寄存器：集成芯片

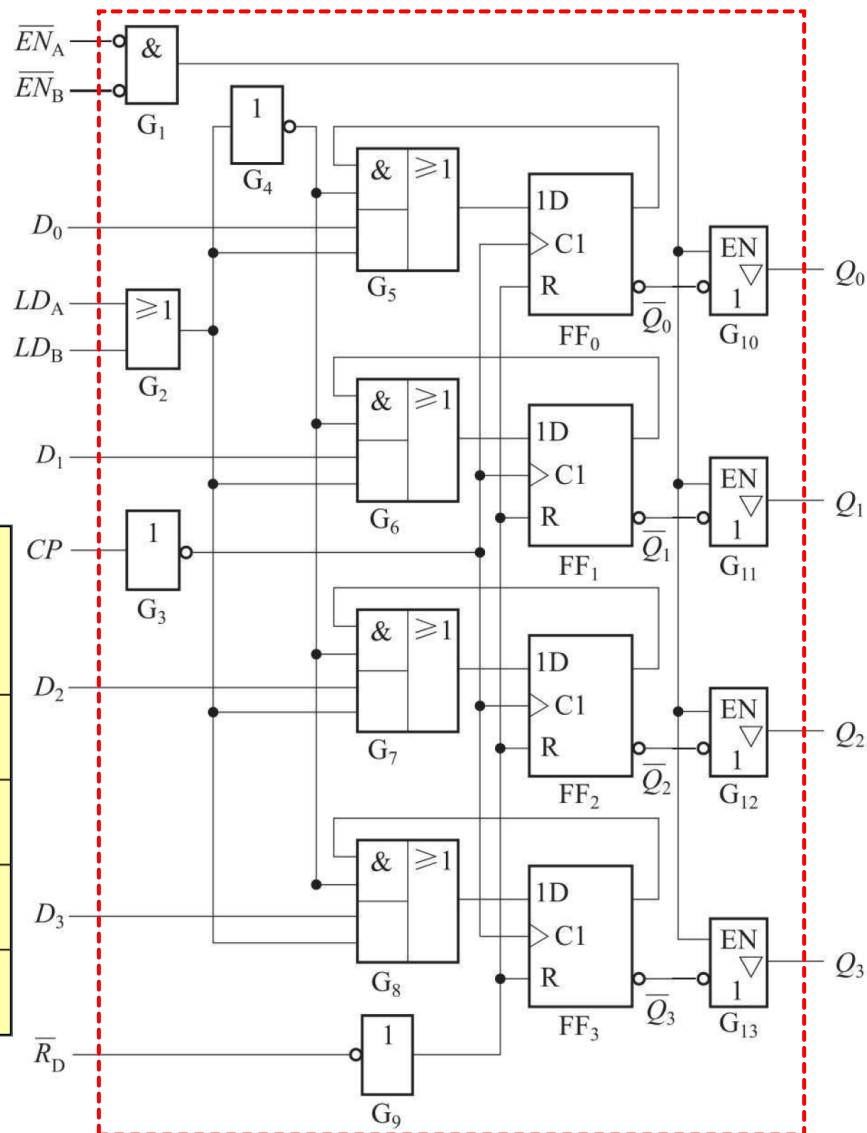
✧ **CC4076** (CMOS)

• 4种功能:

寄存 清零 保持 高阻

$\overline{EN}_A + \overline{EN}_B$ $LD_A + LD_B$

输入					输出	功能
	$\overline{R}_D$		CP	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	
1	×	×	×	×	高阻	高阻
0	0	×	×	×	0000	清零
0	1	0	×	×	$Q_3Q_2Q_1Q_0$	保持
0	1	1	↓	$D_3D_2D_1D_0$	$D_3D_2D_1D_0$	寄存





4.3 典型时序逻辑电路

二. 移位寄存器

✧ 作用

- ① 存储代码
- ② 移位：寄存器里的代码在移位脉冲作用下左移或右移

串并行转换

数值运算

数据处理

✧ 结构

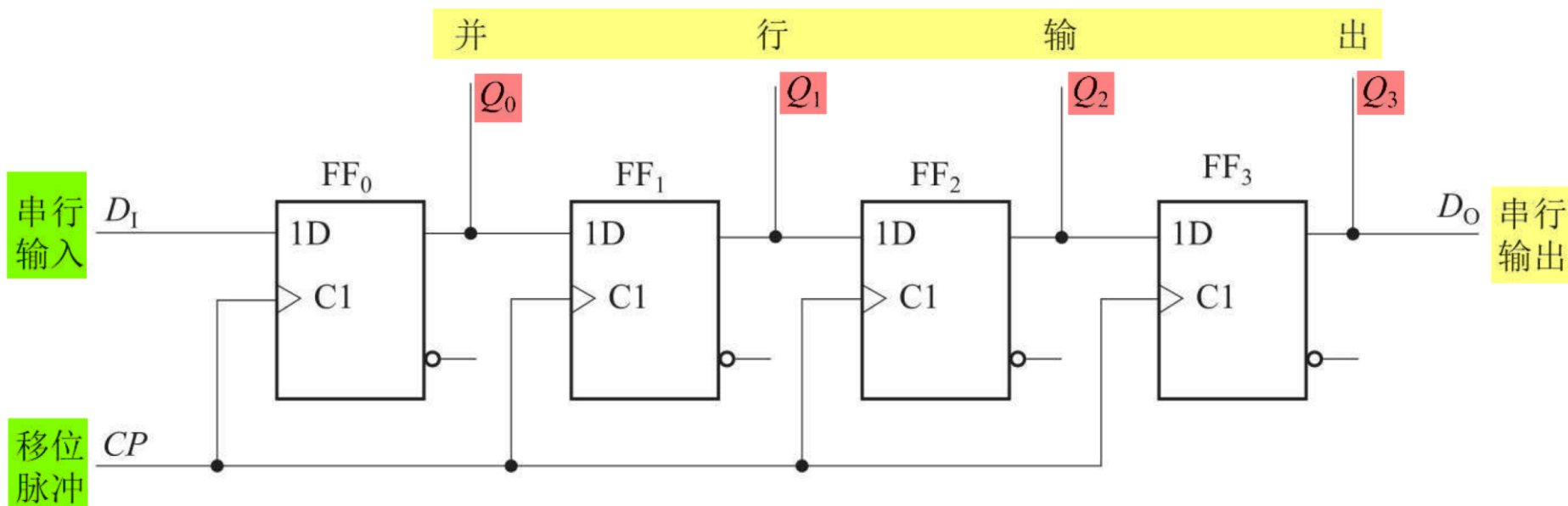
- 基本组成：
由触发器构成存储单元
- 附加控制电路：
清零、保持、数据串并行输入、左/右移

✧ 输入/输出方式

- 串入串出、串入并出
- 并入串出、并入并出



✧ D触发器构成移位寄存器举例（右移）



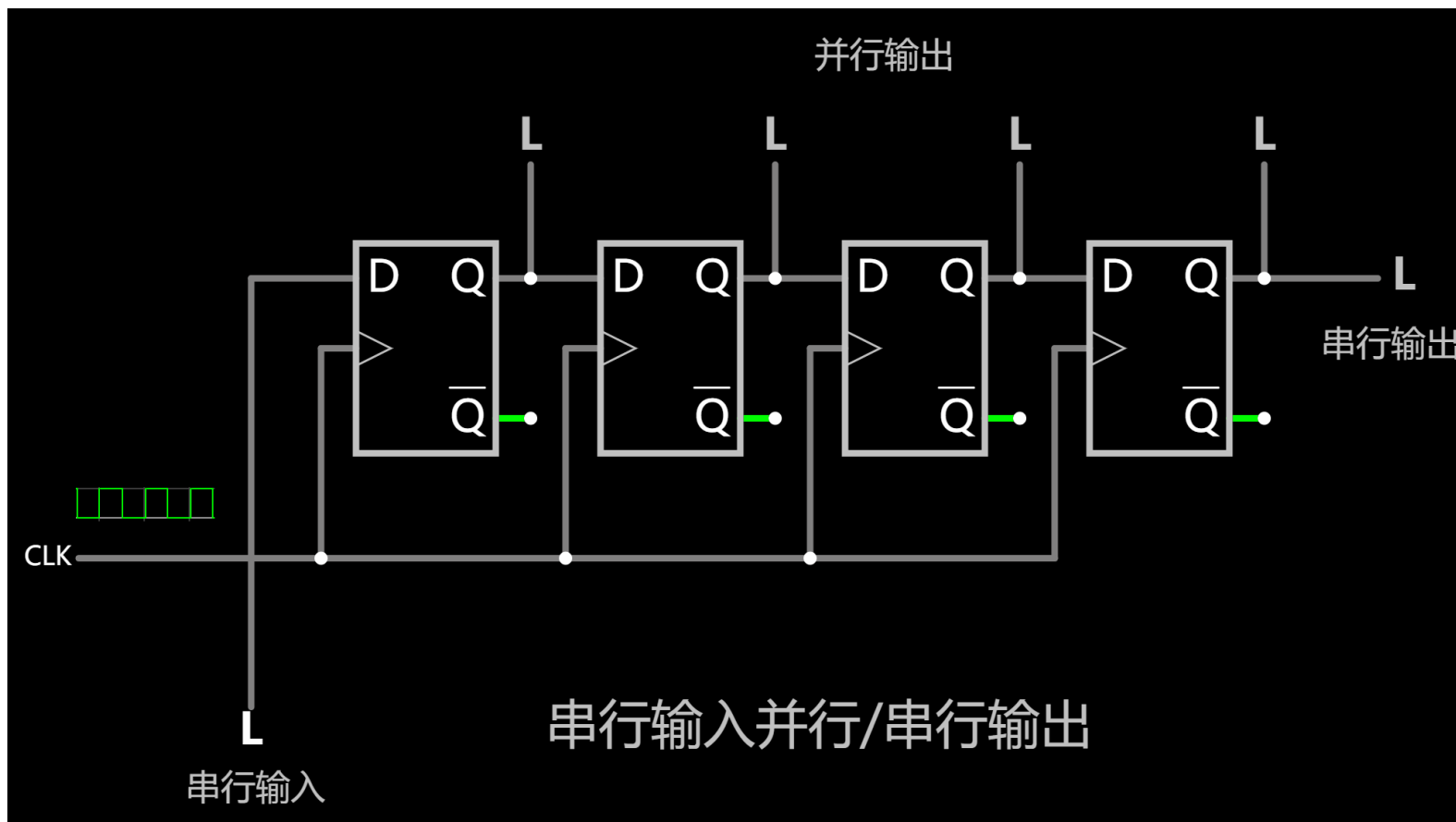
4 个 CP 后, $D_3D_2D_1D_0$ 被移入

如何实现左移?

输入		输出			
CP 及顺序	D_I	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×
1 ↑	D_3	D_3	×	×	×
2 ↑	D_2	D_2	D_3	×	×
3 ↑	D_1	D_1	D_2	D_3	×
4 ↑	D_0	D_0	D_1	D_2	D_3



✧ D触发器构成移位寄存器举例（右移）

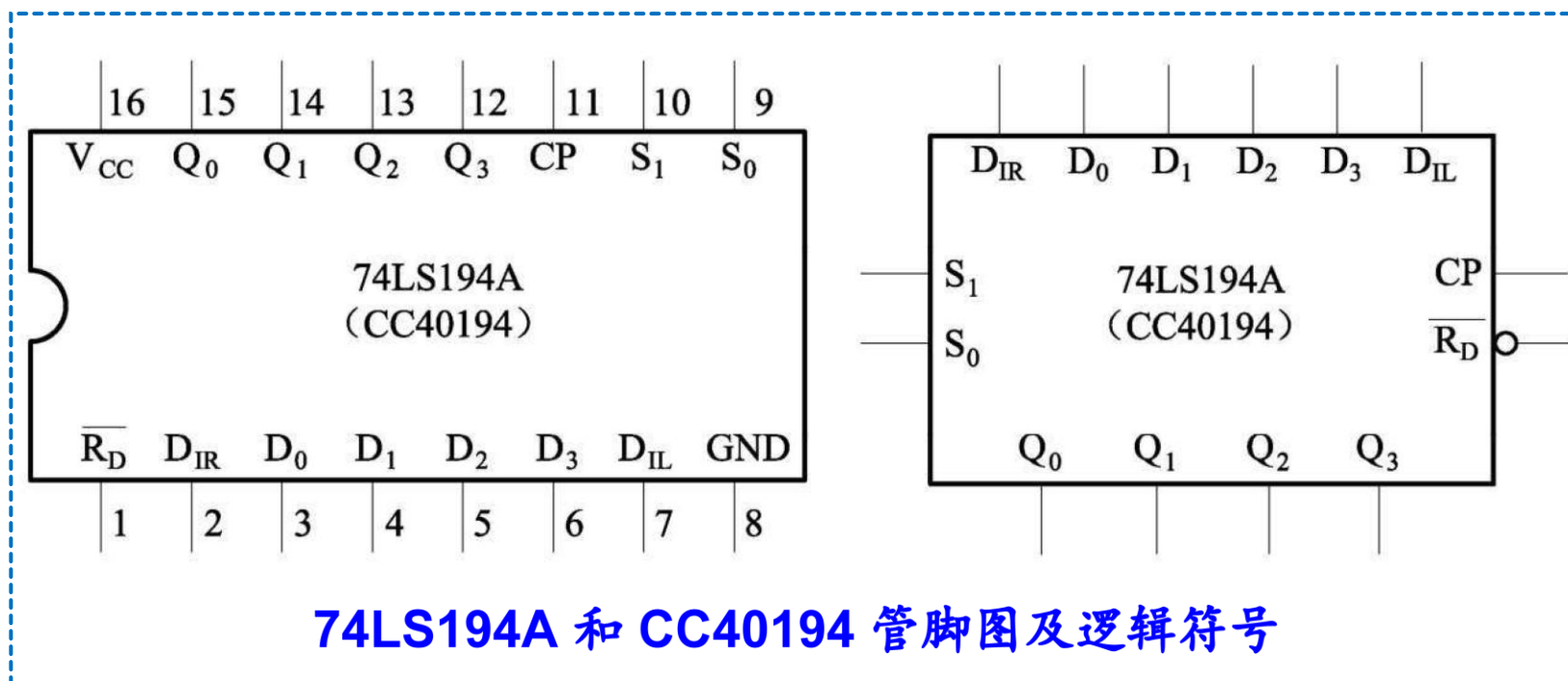




4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片

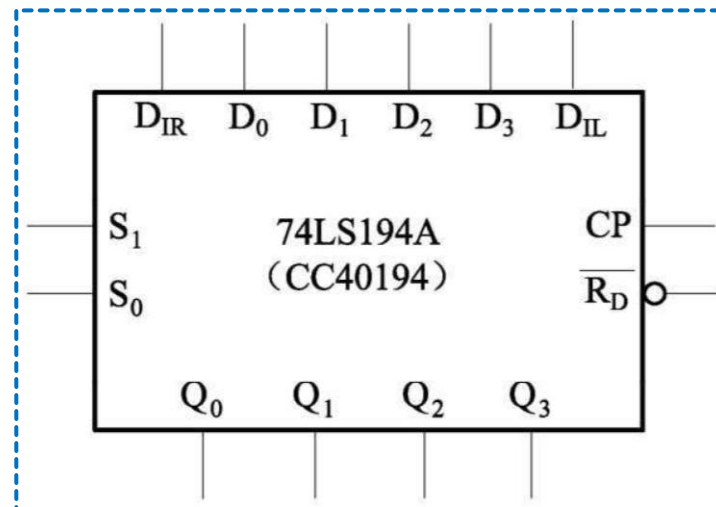
✧ **74LS194A**、**CC40194**（双向移位）



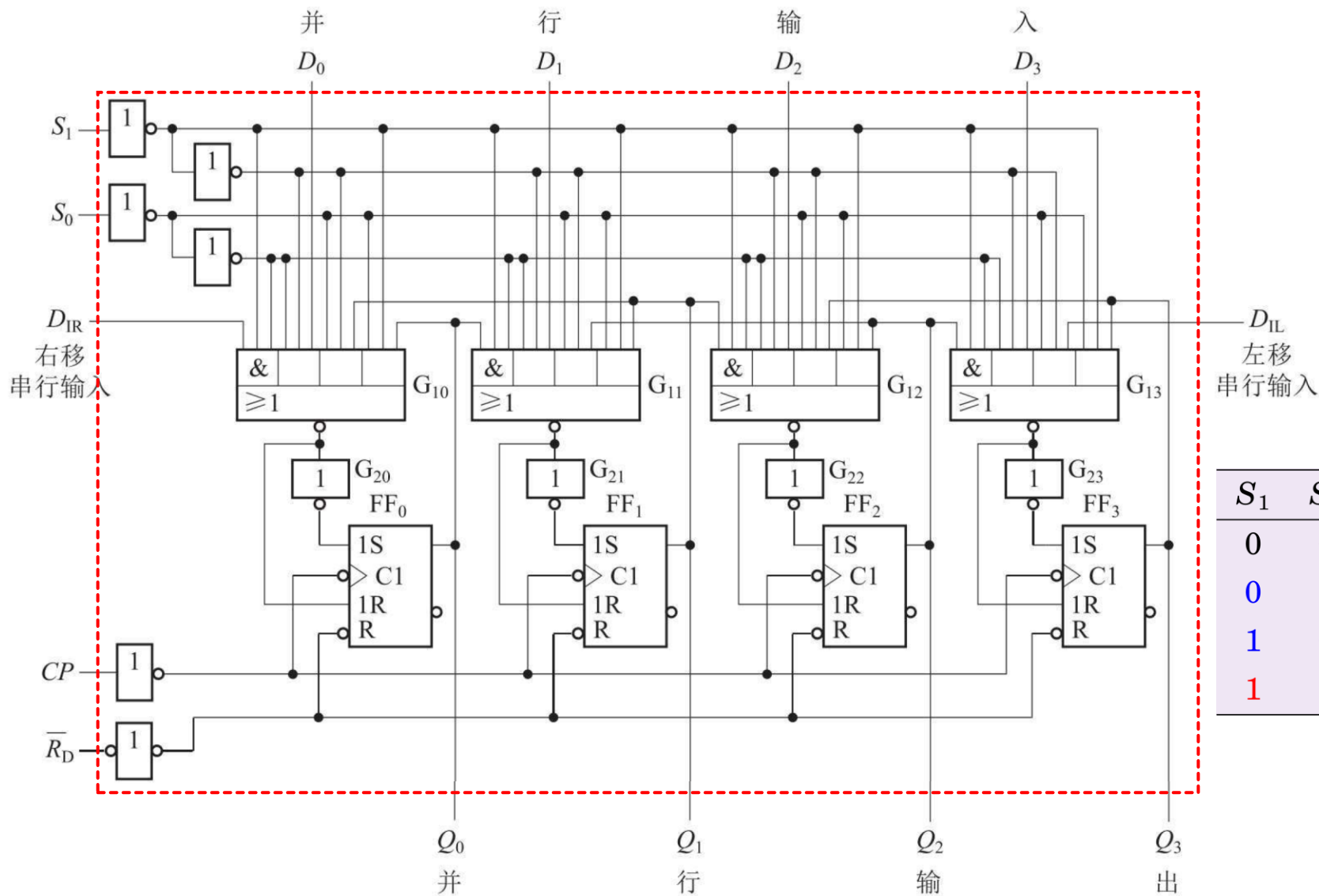
4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片

✧ **74LS194A**、**CC40194**
(双向移位)



输入										输出				功能
$\overline{R_D}$	CP	S_1	S_0	D_{IR}	D_{IL}	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	清零
1	↓	×	×	×	×	×	×	×	×	Q_0	Q_1	Q_2	Q_3	保持
1	↑	0	0	×	×	×	×	×	×	Q_0	Q_1	Q_2	Q_3	保持
1	↑	0	1	D_{IR}	×	×	×	×	×	D_{IR}	Q_0	Q_1	Q_2	右移
1	↑	1	0	×	D_{IL}	×	×	×	×	Q_1	Q_2	Q_3	D_{IL}	左移
1	↑	1	1	×	×	a	b	c	d	a	b	c	d	寄存



S_1	S_0	功能
0	0	保持
0	1	右移
1	0	左移
1	1	寄存

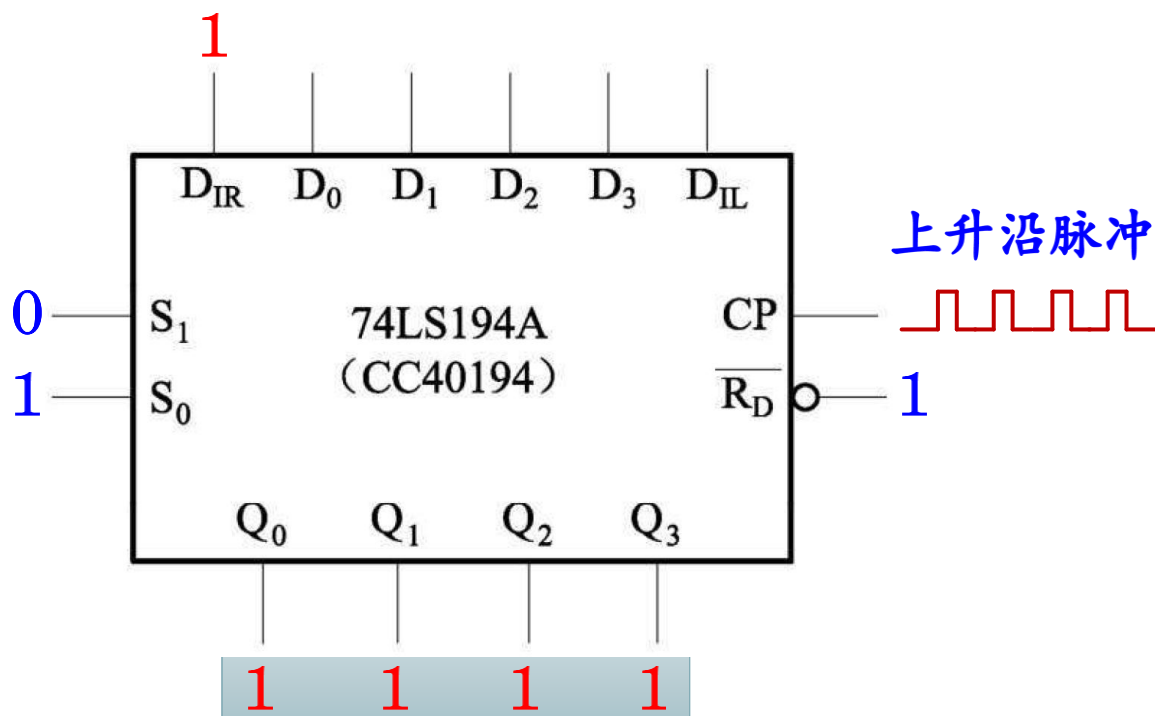
74LS194A 内部逻辑电路图



4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

1. 右移



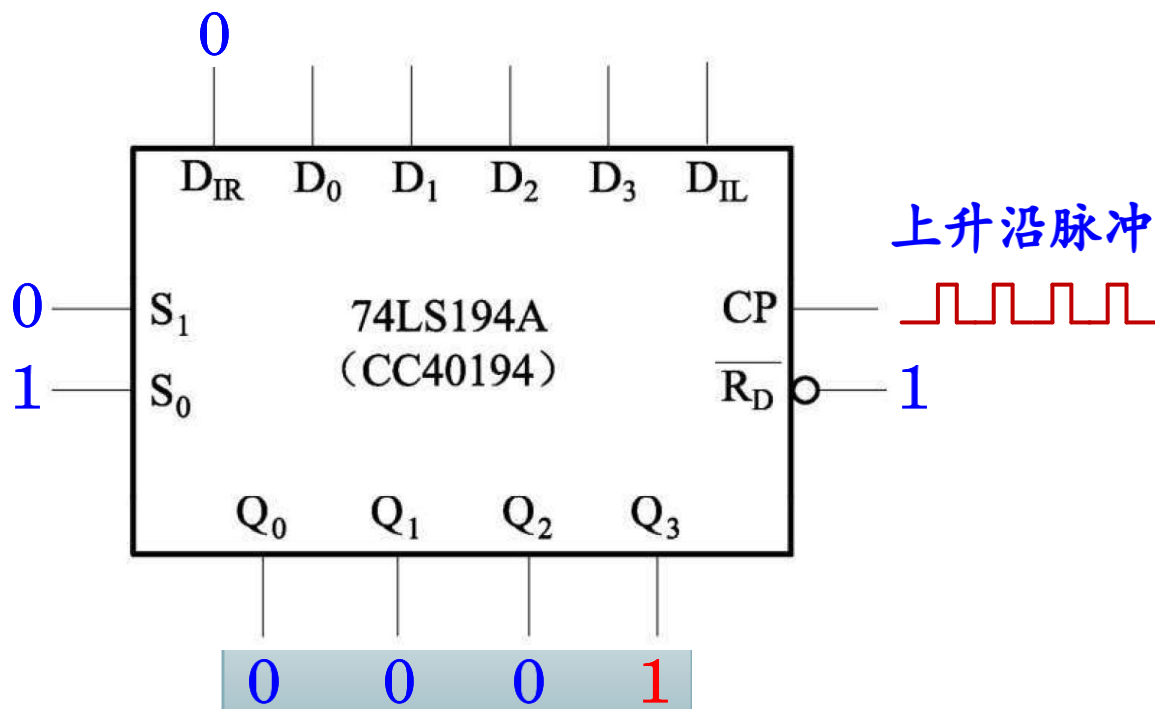
若只将一个 1 右移，如何操作？



4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

1. 右移



1 个 CP 脉冲后，输入由 1 变为 0！

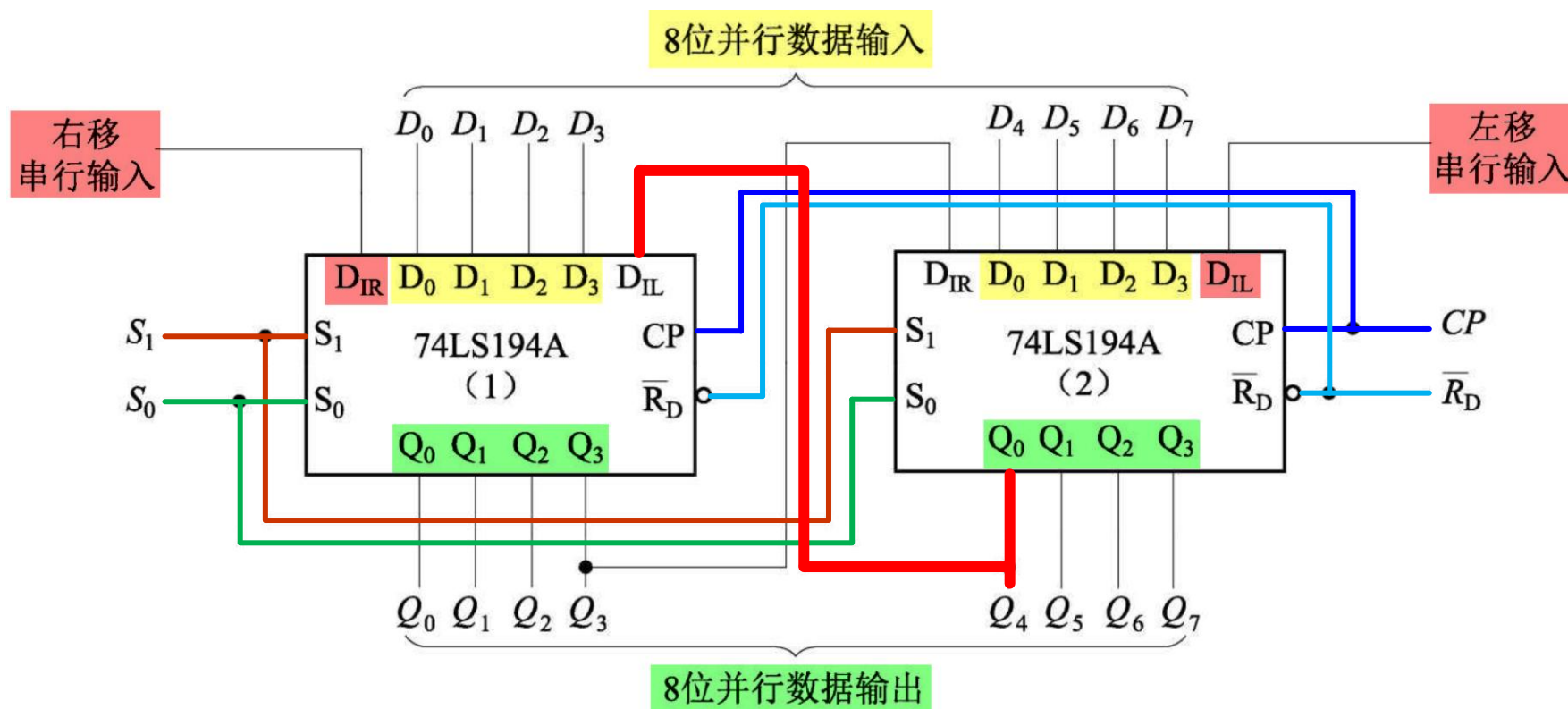


4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

2. 扩展成多位双向移位寄存器

- 用两片74LS194A接成八位双向移位寄存器





4.3 典型时序逻辑电路

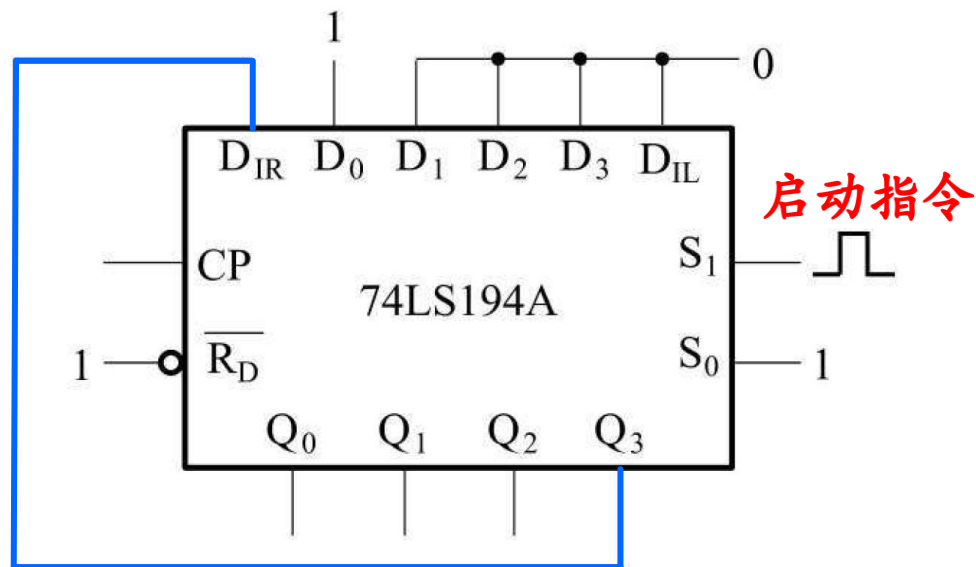
二. 移位寄存器：集成芯片（74LS194A的应用）

3. 构成循环移位型计数器

① 环形计数器

初始为 $D_0D_1D_2D_3 = 1000$

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1



加入 S_1 启动指令后，4 个状态循环

如何变成循环左移？



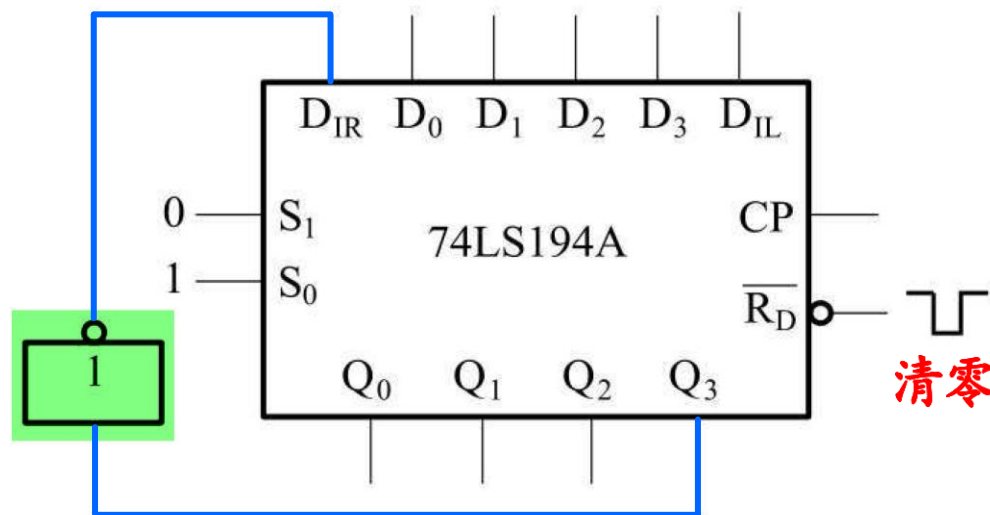
4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

3. 构成循环移位型计数器

② 扭环形计数器

CP	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1



清零后 $Q_0Q_1Q_2Q_3 = 0000$

🔗 清零后，实现 8 个状态循环

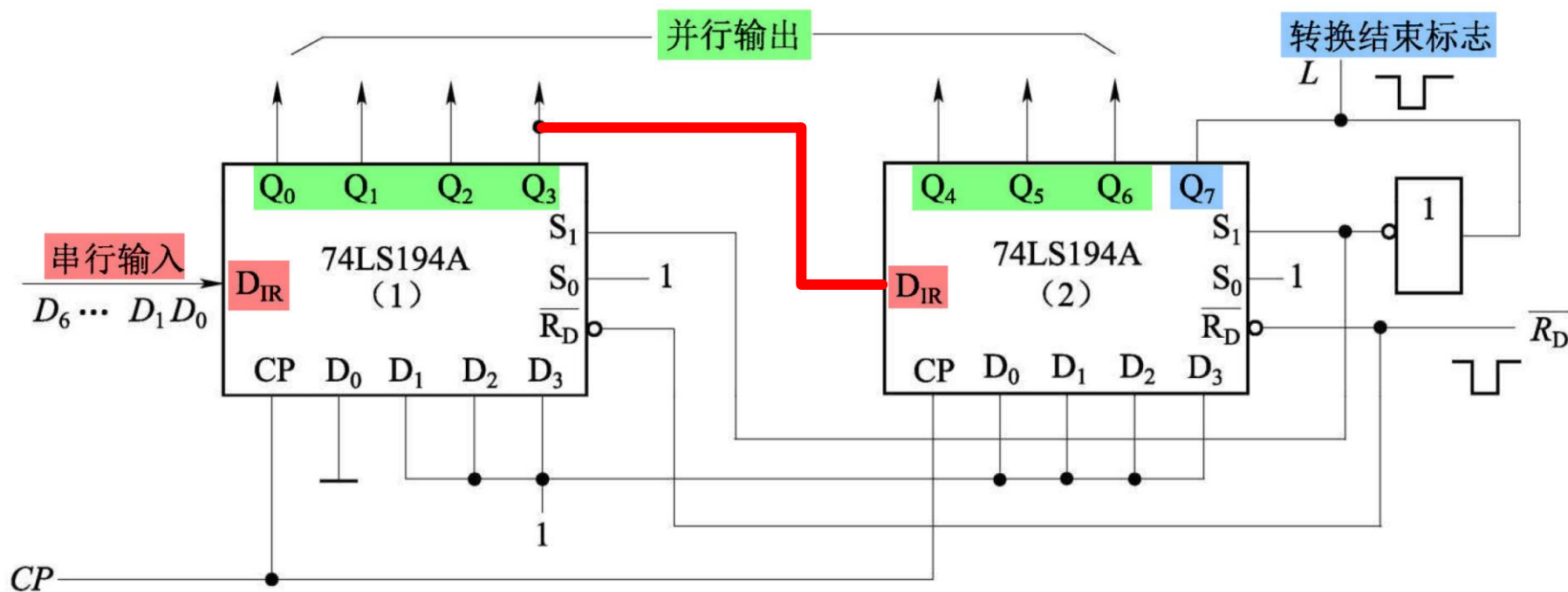


4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

4. 串行/并行转换器

- 串行输入的数码，经转换电路之后变换成并行输出
- 2片74LS194A组成的七位串/并行数据转换电路（右移工作模式）



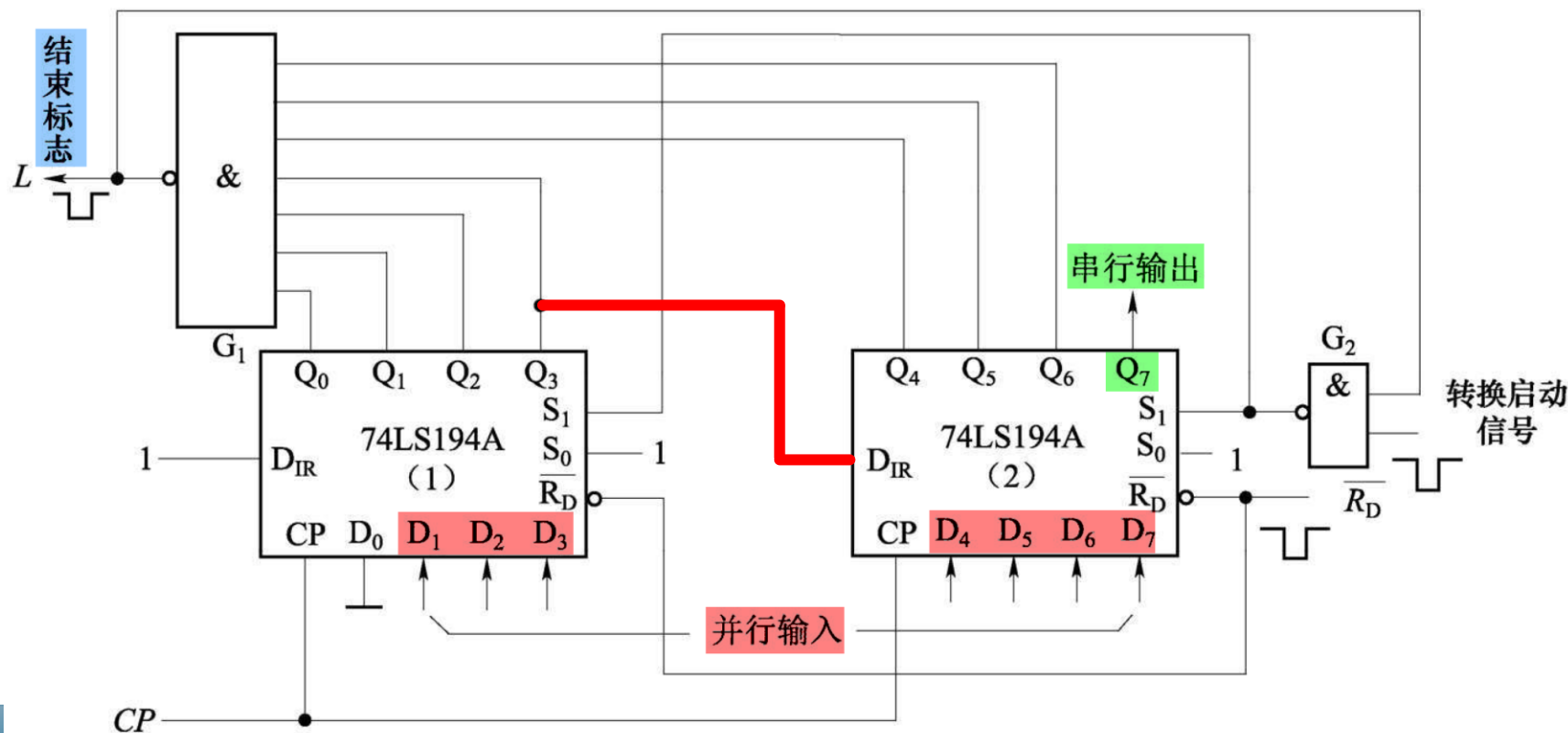


4.3 典型时序逻辑电路

二. 移位寄存器：集成芯片（74LS194A的应用）

5. 并行/串行转换器

- 并行输入的数码，经转换电路之后变换成串行输出
- 2片74LS194A组成的七位并/串行数据转换电路（右移工作模式）





4.3 典型时序逻辑电路

三. 计数器

✧ 计数器的作用

- 累计输入脉冲的个数
- 分频、定时、产生节拍脉冲和脉冲序列
- 进行数字运算

✧ 计数器的模

- 计数器是一个周期性的时序电路，其状态图有一个闭合环
- 闭合环循环一次所需要的时钟脉冲个数称为计数器的模值 **M**（进制）

✧ 计数器的分类

- ① 按时钟控制方式：异步、同步计数器
- ② 按计数过程中数值的增减：加法、减法、可逆计数器
- ③ 按模值：二进制、十进值、任意进制计数器
- ④ 按制造工艺：**TTL、CMOS**



4.3 典型时序逻辑电路

三. 计数器： 同步计数器（八进制）

- 八进制 = 3位二进制，需要3个触发器

① 加法

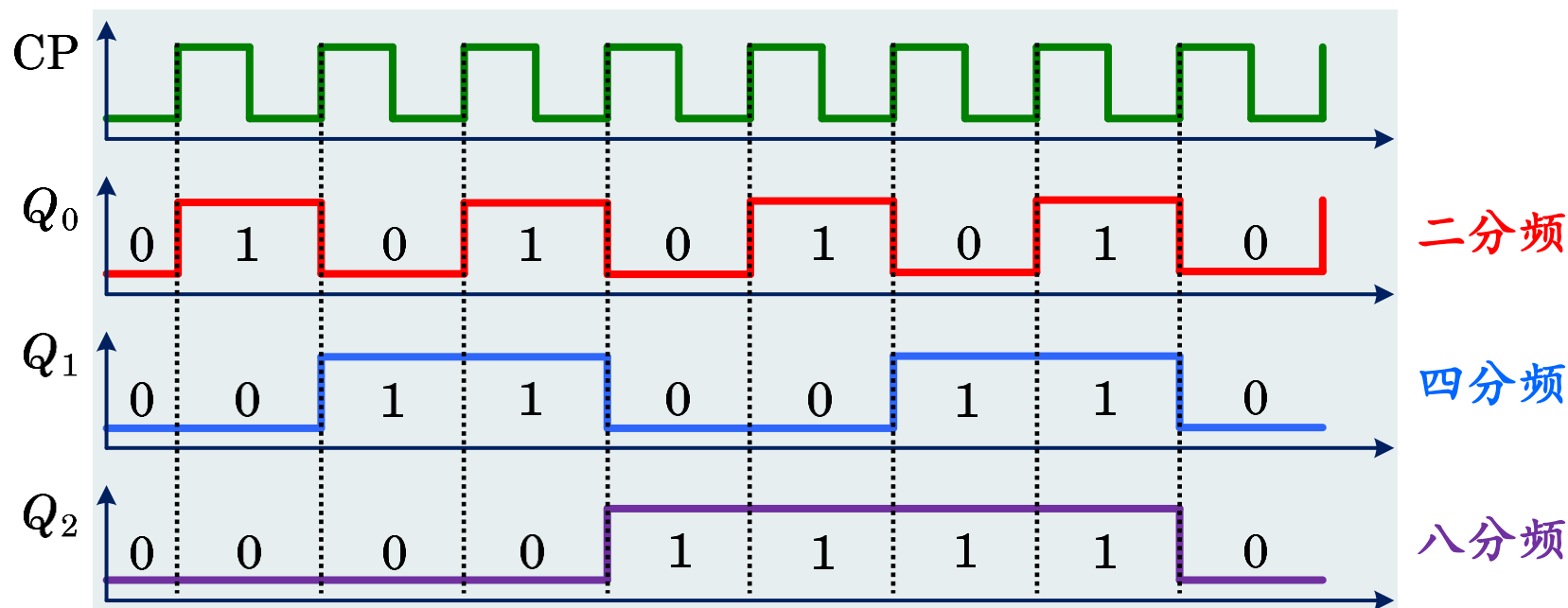
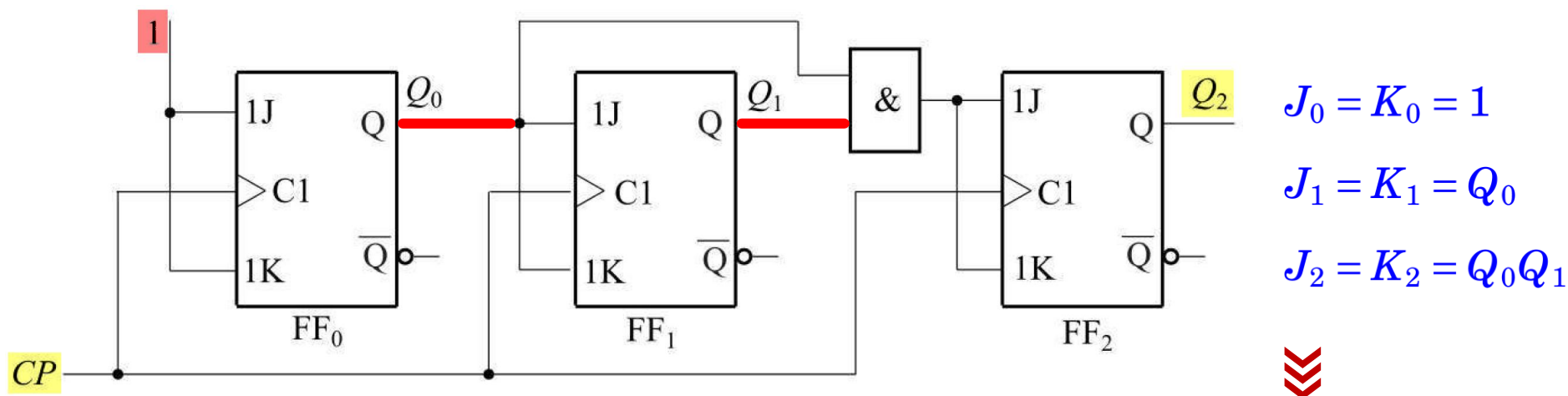
CP 的顺序	触发器现态			触发器次态		
	Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

构成规律

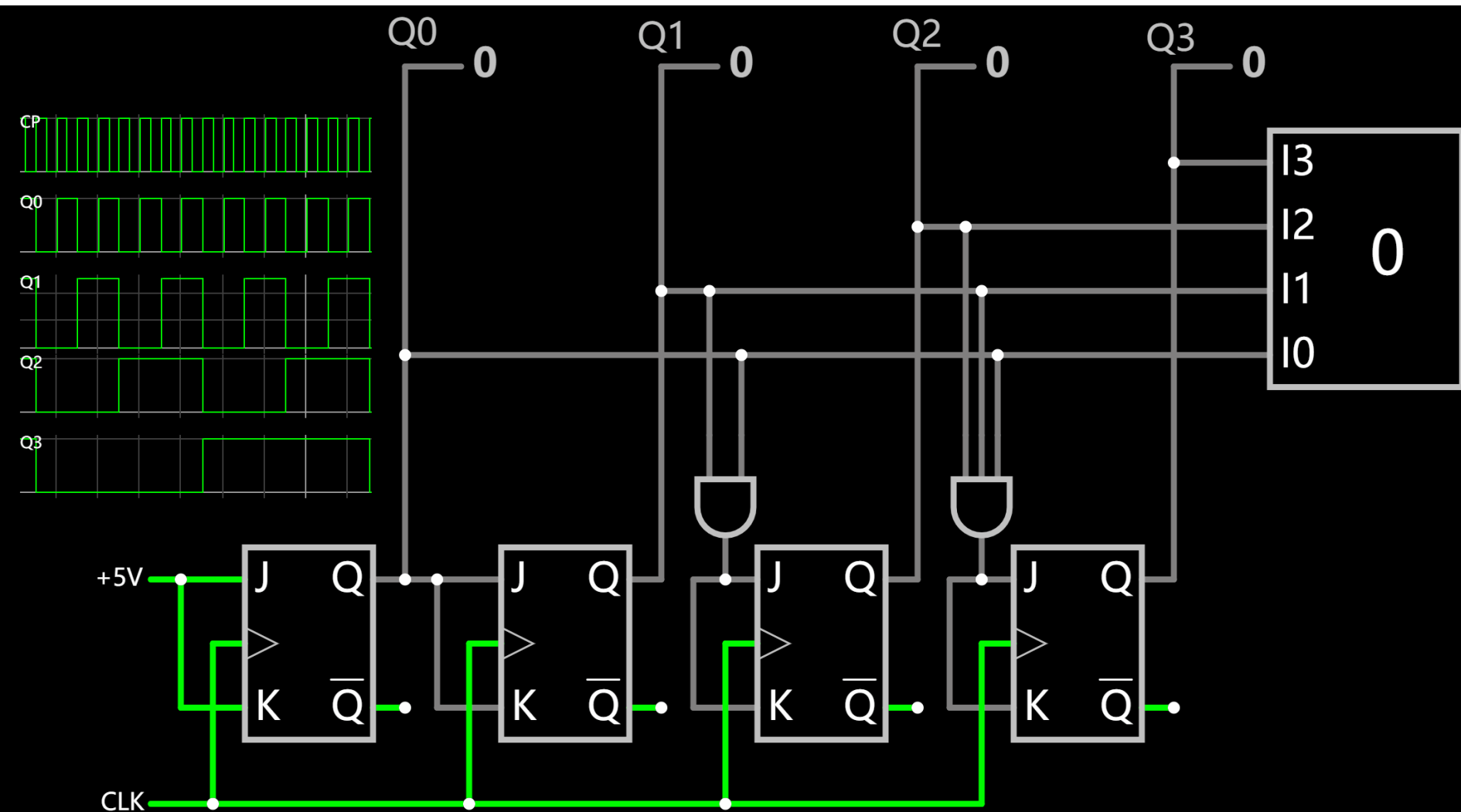
- Q_0 总是翻转
- Q_1 在 $Q_0 = 1$ 时翻转
- Q_2 在 $Q_1 = Q_0 = 1$ 时翻转



① **加法**：若用JK触发器构成电路（如取上升沿触发）



① **加法**：若用JK触发器构成电路（如取上升沿触发）



4位16进制加法计数器举例



4.3 典型时序逻辑电路

三. 计数器： 同步计数器（八进制）

- 八进制 = 3位二进制，需要3个触发器

② 减法

CP 的顺序	触发器现态			触发器次态		
	Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	1	1	1
1	0	0	1	0	0	0
2	0	1	0	0	0	1
3	0	1	1	0	1	0
4	1	0	0	0	1	1
5	1	0	1	1	0	0
6	1	1	0	1	0	1
7	1	1	1	1	1	0

构成规律

- ① Q_0 总是翻转
- ② Q_1 在 $Q_0 = 0$ 时翻转
- ③ Q_2 在 $Q_1 = Q_0 = 0$ 时翻转

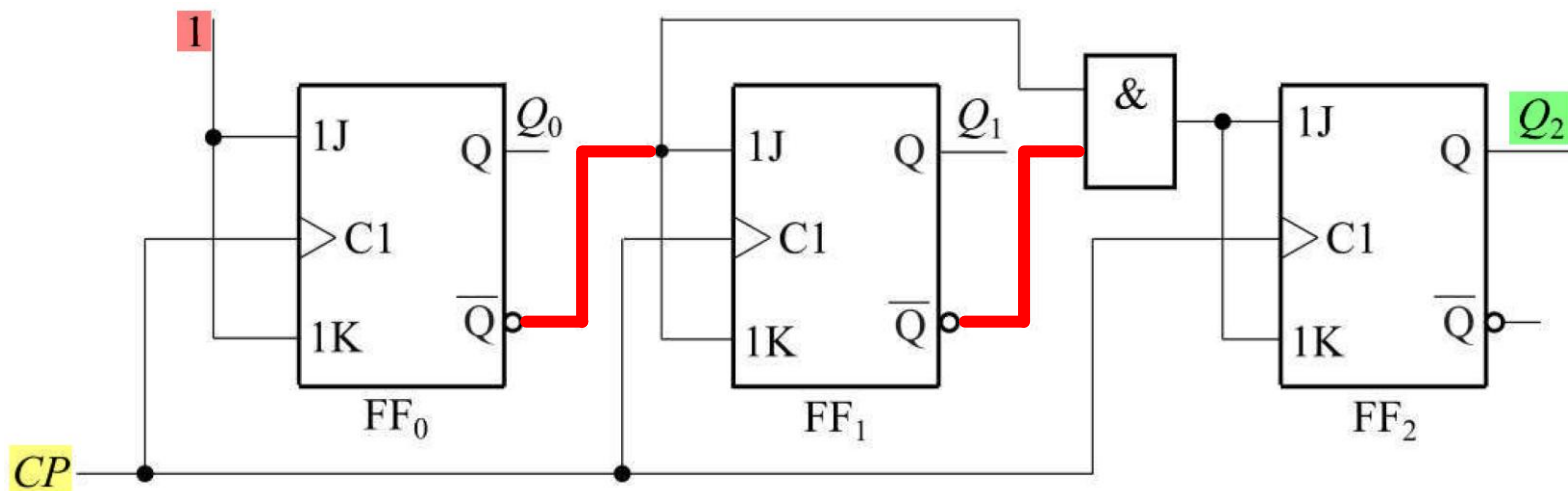


4.3 典型时序逻辑电路

三. 计数器： 同步计数器（八进制）

- 八进制 = 3位二进制，需要3个触发器

② **减法**：若用JK触发器构成电路（如取上升沿触发）

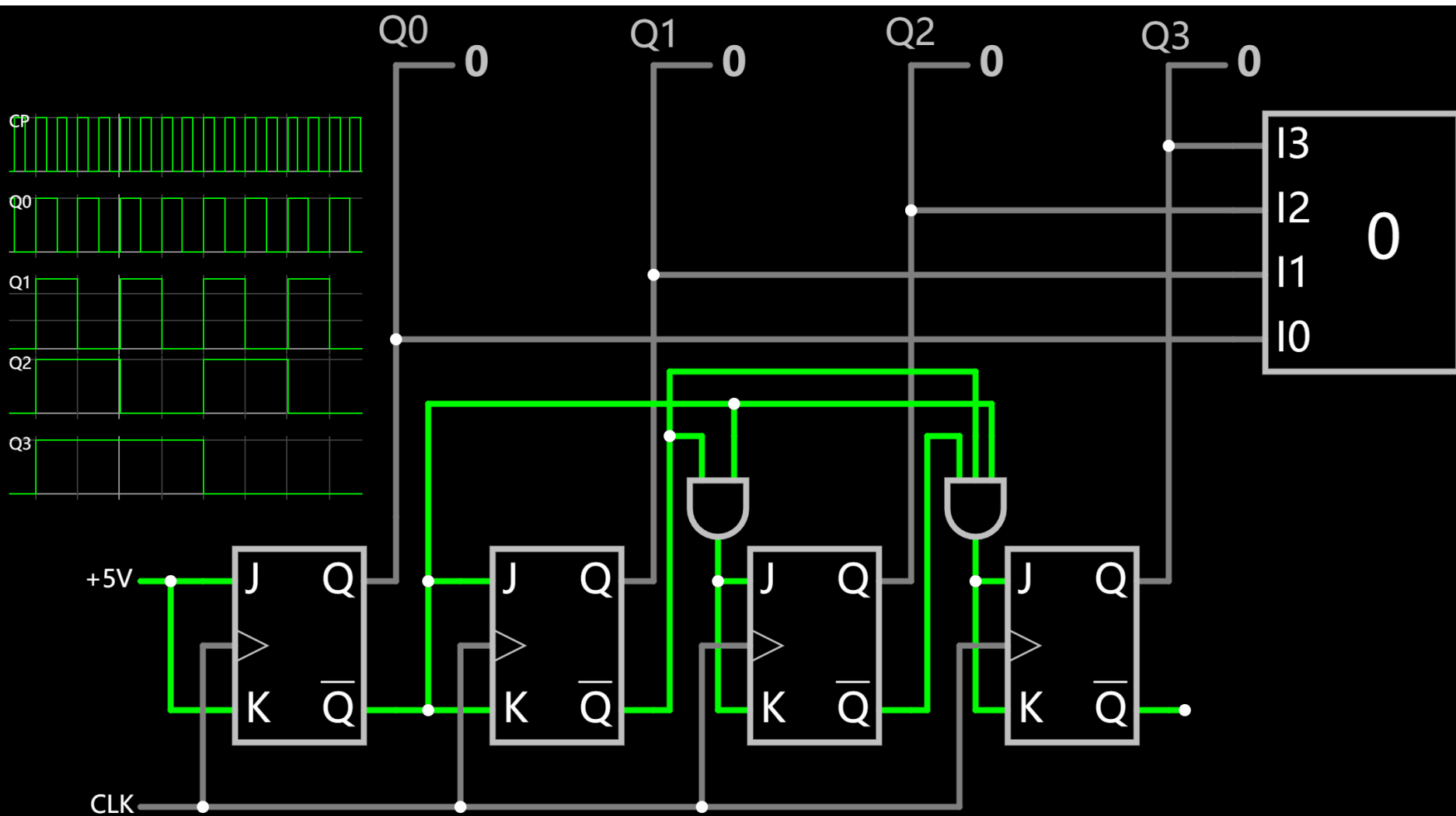


$$J_0 = K_0 = 1$$

$$J_1 = K_1 = \bar{Q}_0$$

$$J_2 = K_2 = \bar{Q}_0 \bar{Q}_1$$

② **减法**：若用JK触发器构成电路（如取上升沿触发）



4位16进制减法计数器举例

4.3 典型时序逻辑电路

三、计数器：同步计数器（十六进制）

- 十六进制 = 4位二进制，需要4个触发器

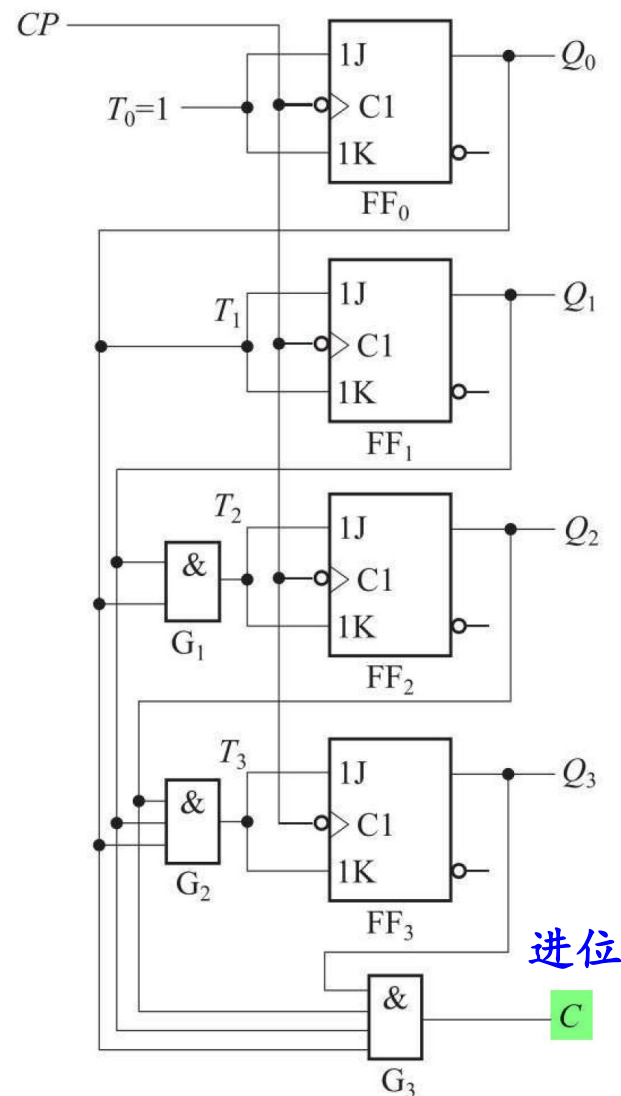
① 加法

构成规律（与八进制类似）

- ① Q_0 总是翻转
- ② Q_1 在 $Q_0 = 1$ 时翻转
- ③ Q_2 在 $Q_1 = Q_0 = 1$ 时翻转
- ④ Q_3 在 $Q_2 = Q_1 = Q_0 = 1$ 时翻转

② 减法

- 与八进制类似





4.3 典型时序逻辑电路

■ 计数器：同步计数器（十进制）

- 十进制需要4位二进制（多余6个状态），即4个触发器
- 常用8421BCD码：0000~1001

CP 顺序	触发器现态				触发器次态				进位
	Q_3	Q_2	Q_1	Q_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C
0	0	0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	1	0	0
2	0	0	1	0	0	0	1	1	0
3	0	0	1	1	0	1	0	0	0
4	0	1	0	0	0	1	0	1	0
5	0	1	0	1	0	1	1	0	0
6	0	1	1	0	0	1	1	1	0
7	0	1	1	1	1	0	0	0	0
8	1	0	0	0	1	0	0	1	0
9	1	0	0	1	0	0	0	0	1

① 加法

构成规律

- Q_0 总是翻转
- Q_1 翻转条件：
 $Q_0 = 1, Q_3 = 0$
- 其他位翻转条件：
其低位全 1



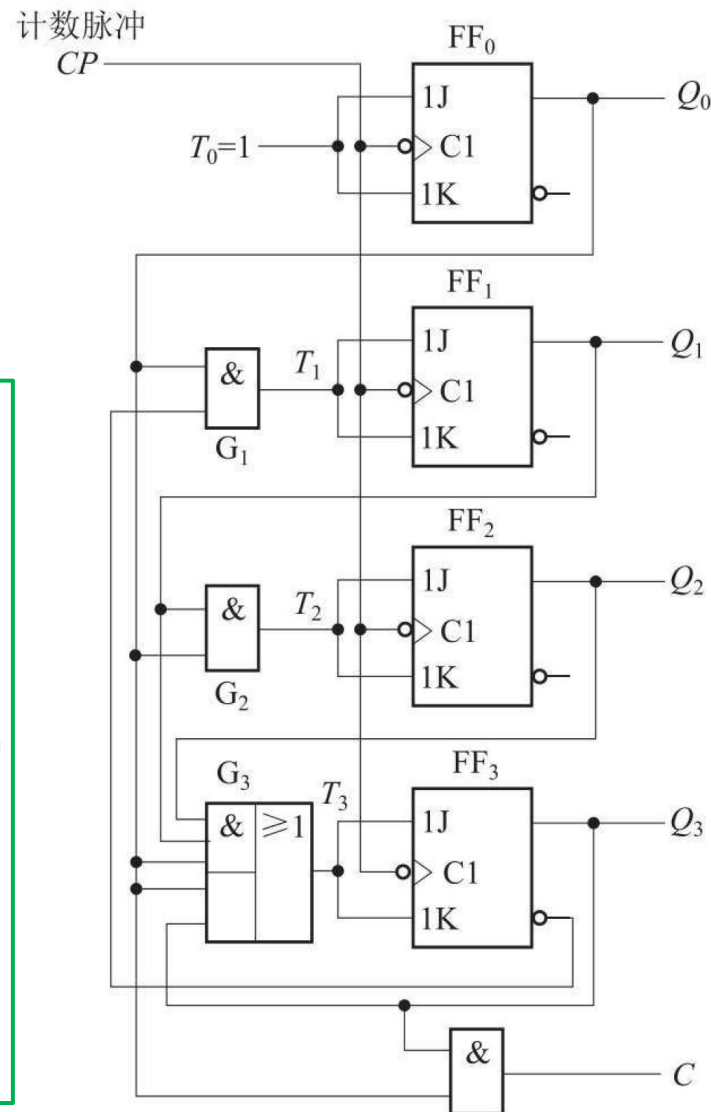
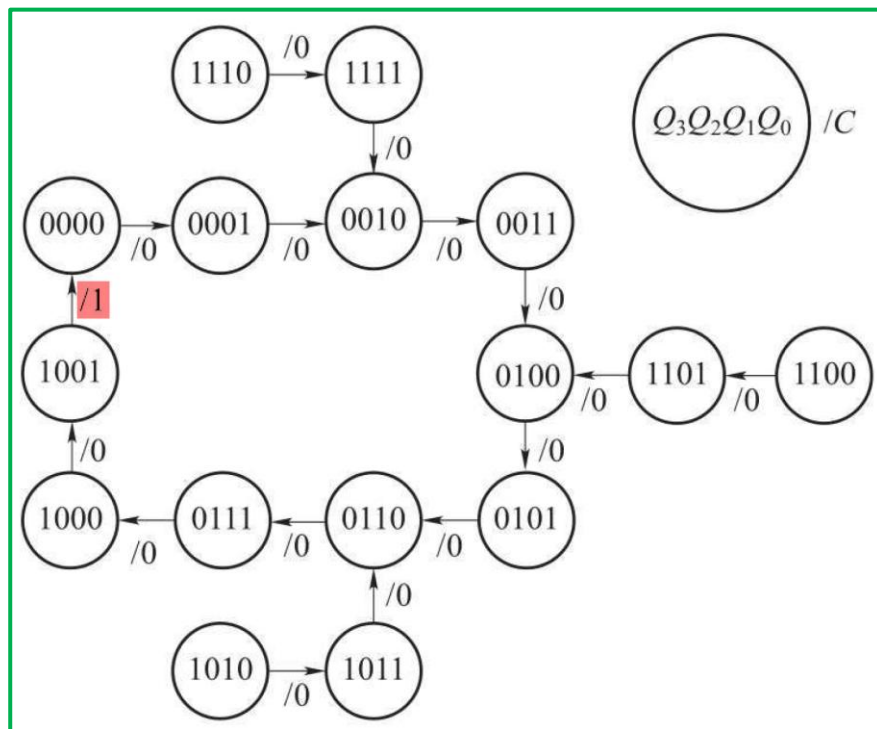
4.3 典型时序逻辑电路

■ 计数器：同步计数器（十进制）

① 加法

- 用JK触发器构成电路

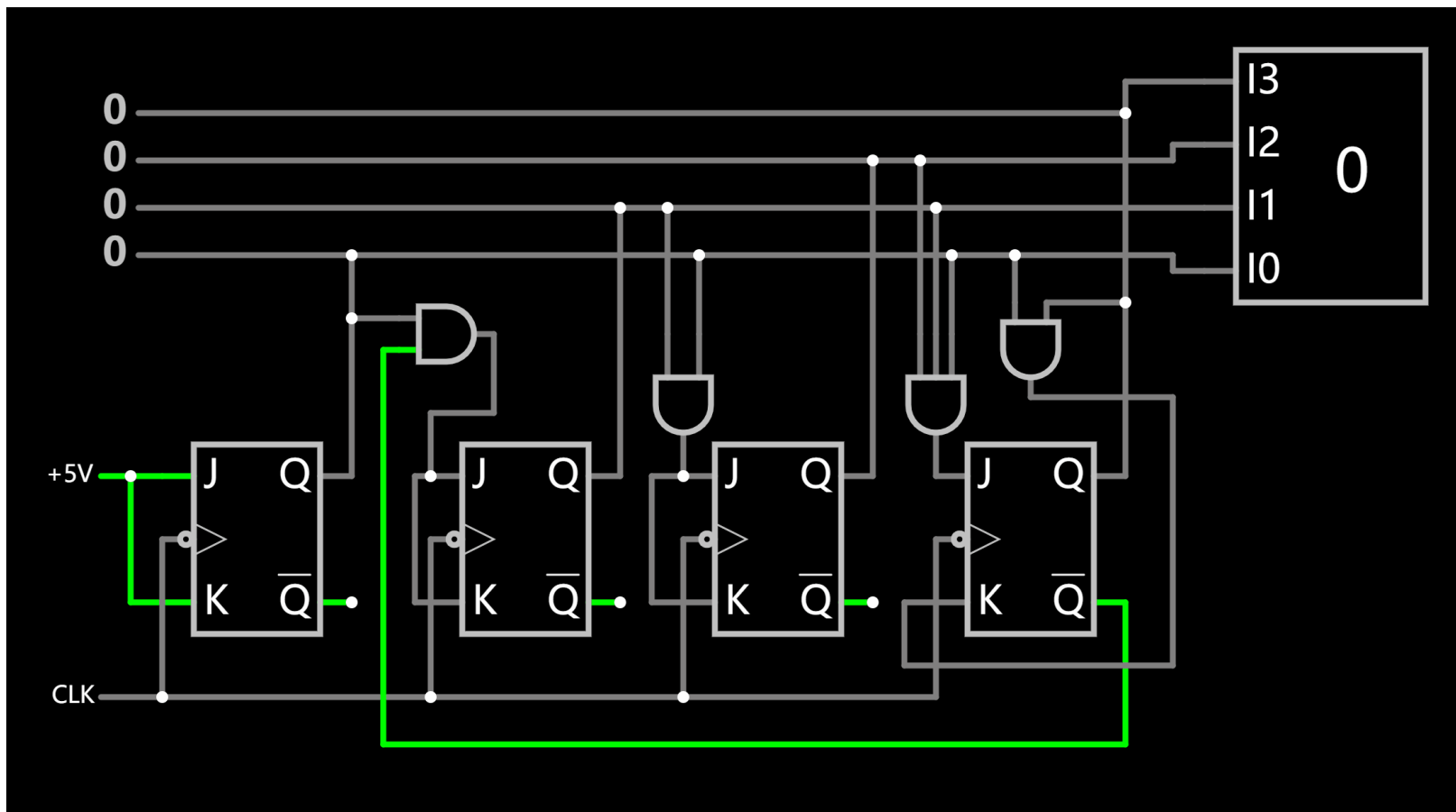
✧ 状态转换图





4.3 典型时序逻辑电路

■ 计数器：同步计数器（十进制）



十进制减法计数器举例

68



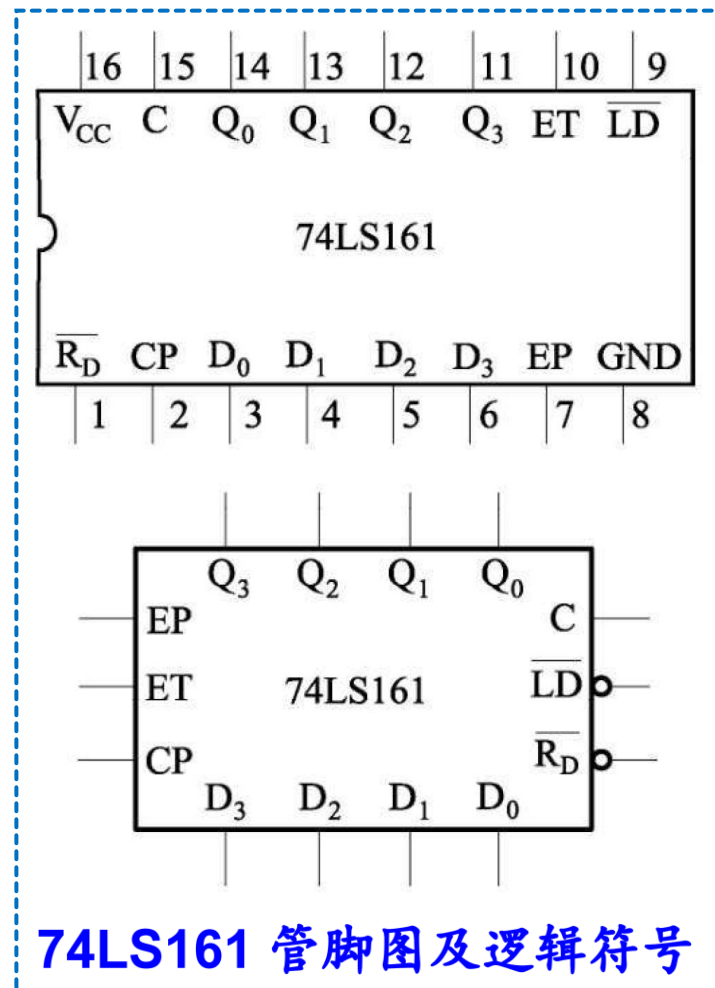
4.3 典型时序逻辑电路

■ 计数器：同步计数器（集成芯片）

① 74LS161

- 4位同步二进制（十六进制）
加法计数器

- 🔌 CP：时钟输入端
- 🔌 EP、ET：功能转换端
- 🔌 C：进位输出端
- 🔌 $\overline{R}_D$ ：复位端
- 🔌 $\overline{LD}$ ：预置数的控制端
- 🔌 $D_3D_2D_1D_0$ ：预置数的输入端



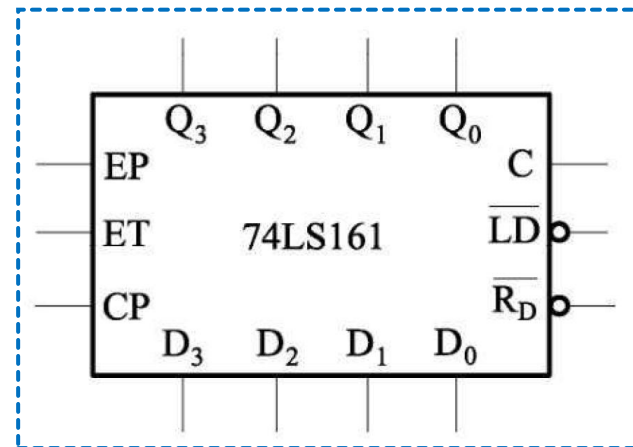
4.3 典型时序逻辑电路

■ 计数器：同步计数器（集成芯片）

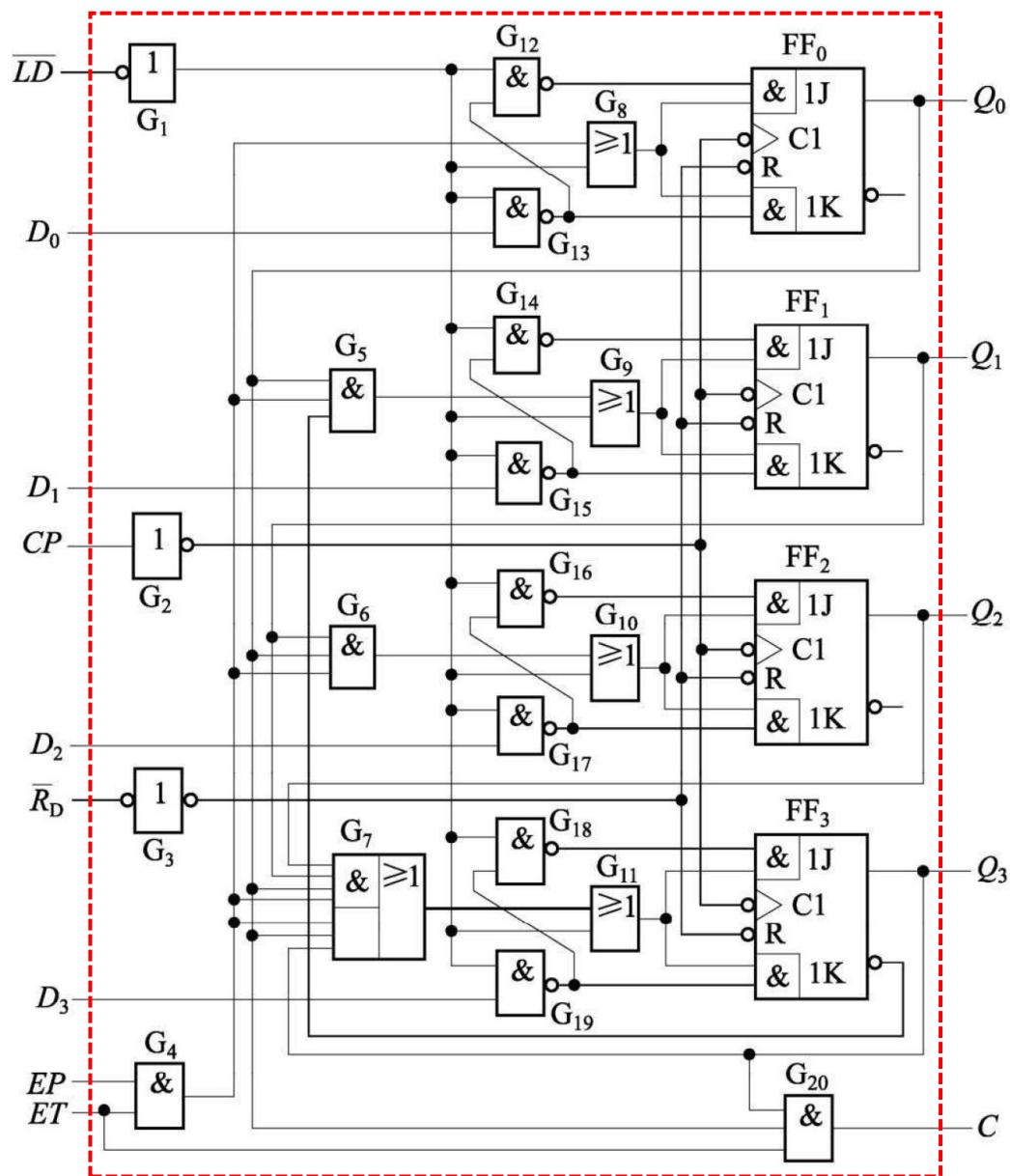
① 74LS161

- 4位同步二进制（十六进制）
加法计数器

✧ 功能表



输入						输出	功能
清零	预置	使能		时钟	预置数输入		
$\overline{R_D}$	$\overline{LD}$	EP	ET	CP	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	
0	×	×	×	×	× × × ×	0000	异步清零
1	0	×	×	↑	$d_3d_2d_1d_0$	$d_3d_2d_1d_0$	同步并行置数
1	1	0	1	×	× × × ×	保持	数据保持（C 不变）
1	1	×	0	×	× × × ×	保持	数据保持（C = 0）
1	1	1	1	↑	× × × ×	计数	加法计数



74LS161
内部逻辑图



4.3 典型时序逻辑电路

■ 计数器：同步计数器（集成芯片）

◇ 同步 v.s. 异步

- 同步清零

即使清零控制端子为0（或1），清零的实现还需等待下一个时钟脉冲的上升沿（或下降沿）到来以后才能变为现实

- 异步清零

清零控制端子为0（或1），马上实现清零的功能，不需等待个时钟脉冲的上升沿（或下降沿）

- 同步置数与异步置数类似区分

◇ 举例

- 74LS161：异步清零、同步置数
- 74LS162：同步清零、同步置数
- 74LS163：同步清零、同步置数

4.3 典型时序逻辑电路

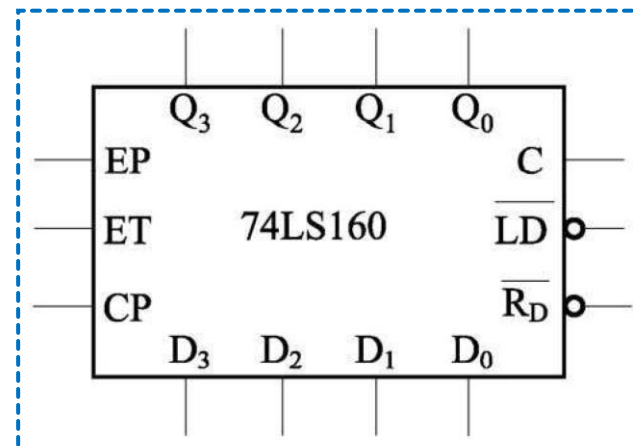
■ 计数器：同步计数器（集成芯片）

② 74LS160

- 同步十进制加法计数器

✧ 功能表（同74LS161）

- 但输出只有0000~1001十个状态



输入						输出	功能
清零	预置	使能	时钟	预置数输入			
$\overline{R_D}$	$\overline{LD}$	EP ET	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$		
0	×	×	×	×	0000		异步清零
1	0	×	↑	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$		同步并行置数
1	1	0 1	×	×	保持		数据保持（C 不变）
1	1	×	×	×	保持		数据保持（C = 0）
1	1	1 1	↑	×	计数		加法计数



4.3 典型时序逻辑电路

■ 计数器：同步计数器（集成芯片）

③ 74LS192（或CC40192）

- 同步十进制可逆计数器

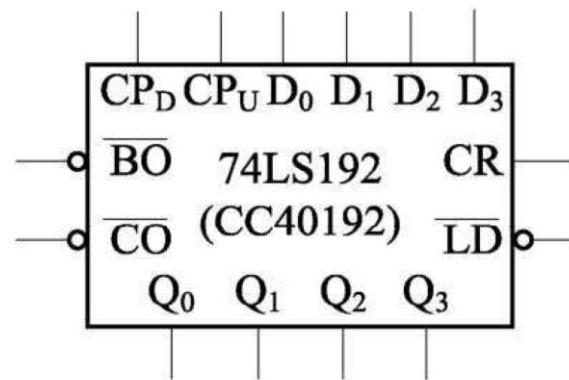
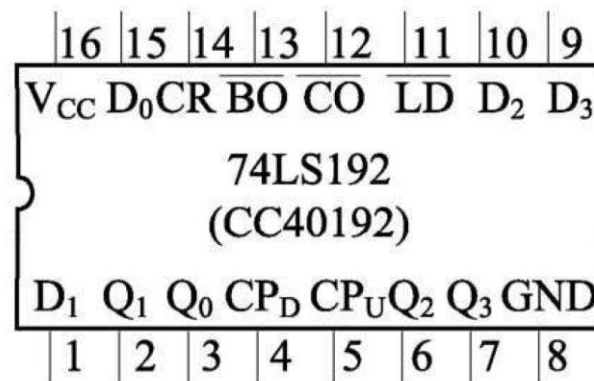
🔗 CP_U 、 CP_D ：双时钟输入端

🔗 $\overline{CO}$ 、 $\overline{BO}$ ：进位、借位输出端

🔗 CR ：复位端

🔗 $\overline{LD}$ ：预置数的控制端

🔗 $D_3D_2D_1D_0$ ：预置数的输入端



74LS192 管脚图及逻辑符号

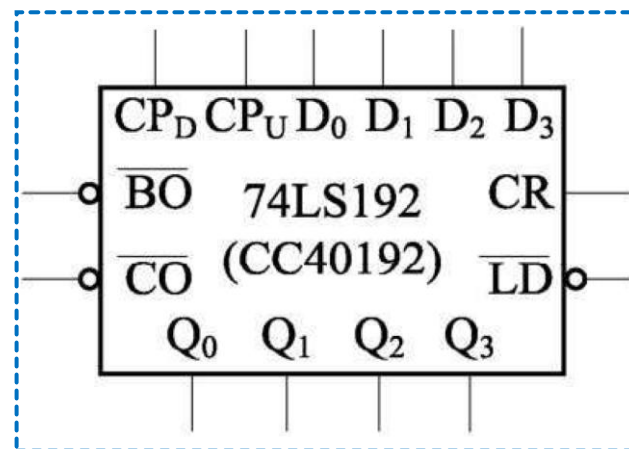
4.3 典型时序逻辑电路

■ 计数器：同步计数器（集成芯片）

③ 74LS192（或CC40192）

- 同步十进制可逆计数器

✧ 功能表



输入					输出	功能
CR	$\overline{\text{LD}}$	CP_U	CP_D	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	
1	×	×	×	× × × ×	0000	异步清零
0	0	×	×	$dcb a$	$dcb a$	异步置数
0	1	↑	1	× × × ×	加计数	加计数
0	1	1	↑	× × × ×	减计数	减计数



4.3 典型时序逻辑电路

三. 计数器：异步计数器（八进制）

- 八进制 = 3位二进制，需要3个触发器

① 加法

CP 的顺序	Q_2	Q_1	Q_0	等效十进制数
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7

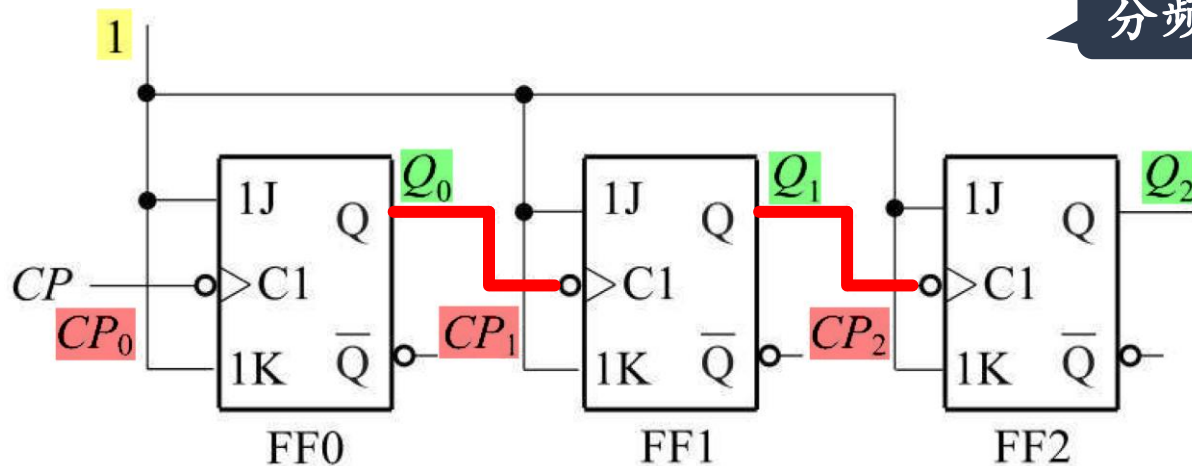
构成规律

- Q_0 总是翻转
- 高位在低位由 1 变 0 时翻转



① **加法**：若用T'触发器构成电路（下降沿触发）

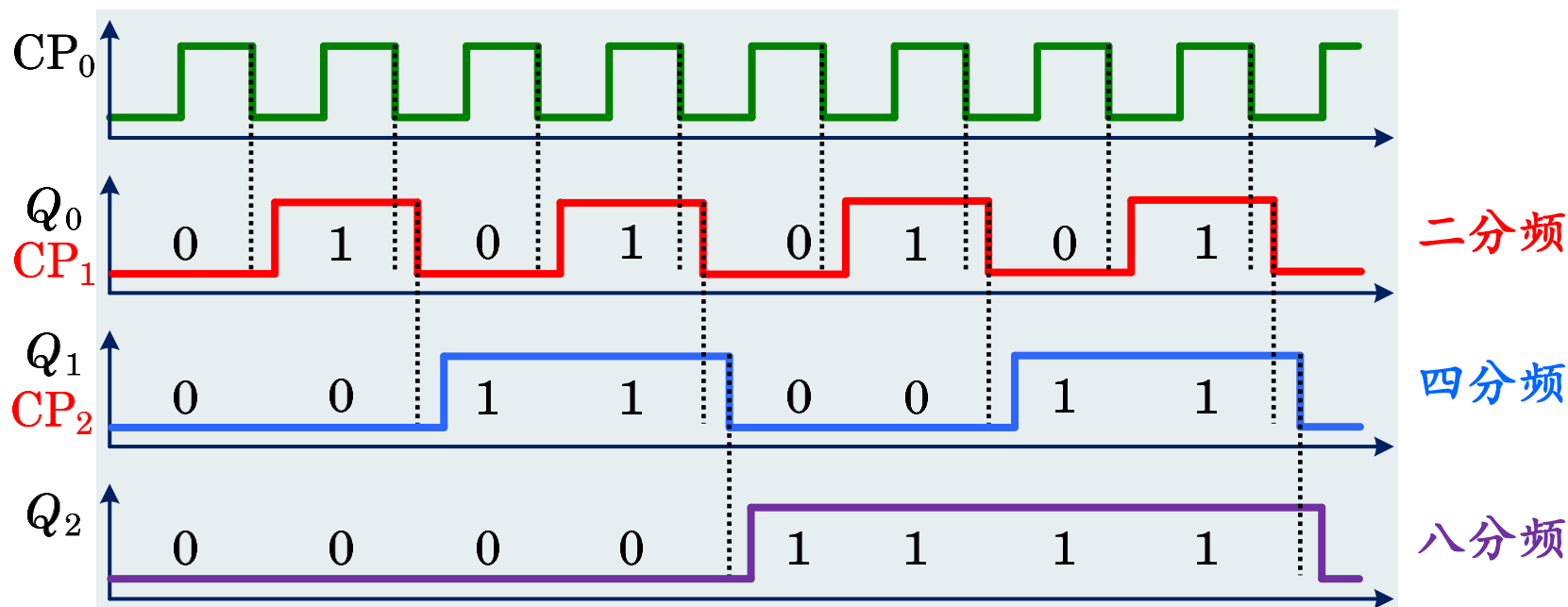
分频器



$$J_0 = K_0 = 1$$

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = 0$$





4.3 典型时序逻辑电路

三. 计数器：异步计数器（八进制）

- 八进制 = 3位二进制，需要3个触发器

② 减法

CP 的顺序	Q_2	Q_1	Q_0	等效十进制数
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7

构成规律

- Q_0 总是翻转
- 高位在低位由 0 变 1 时翻转

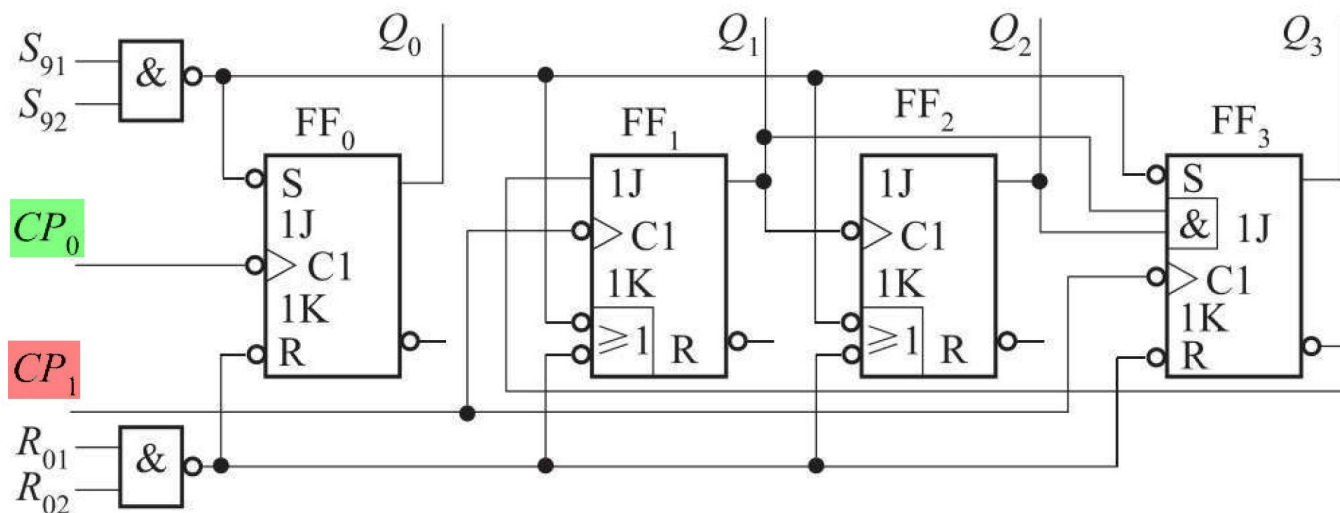
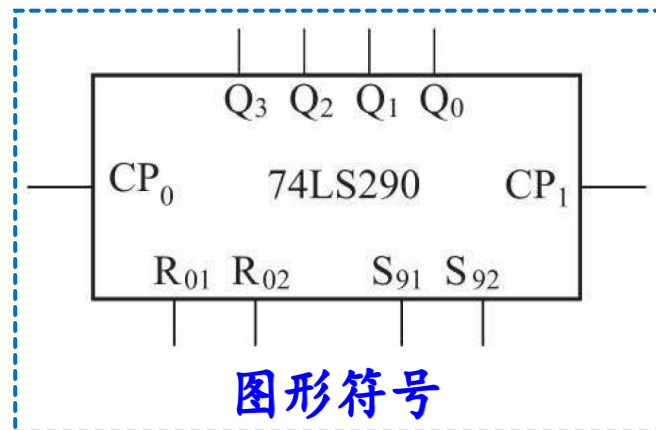


4.3 典型时序逻辑电路

三. 计数器：异步计数器（集成芯片 74LS290）

◇ 异步二/五/十进制计数器

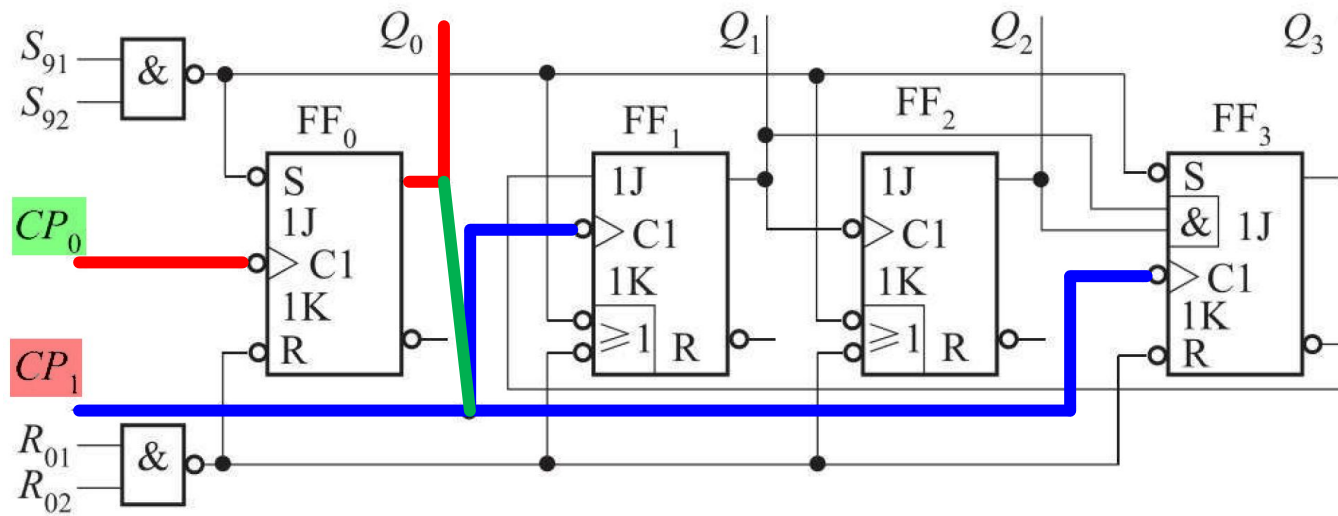
- 二进制计数器（输出 Q_0 ）
与五进制计数器（ $Q_3 Q_2 Q_1$ ）
级联构成十进制计数器



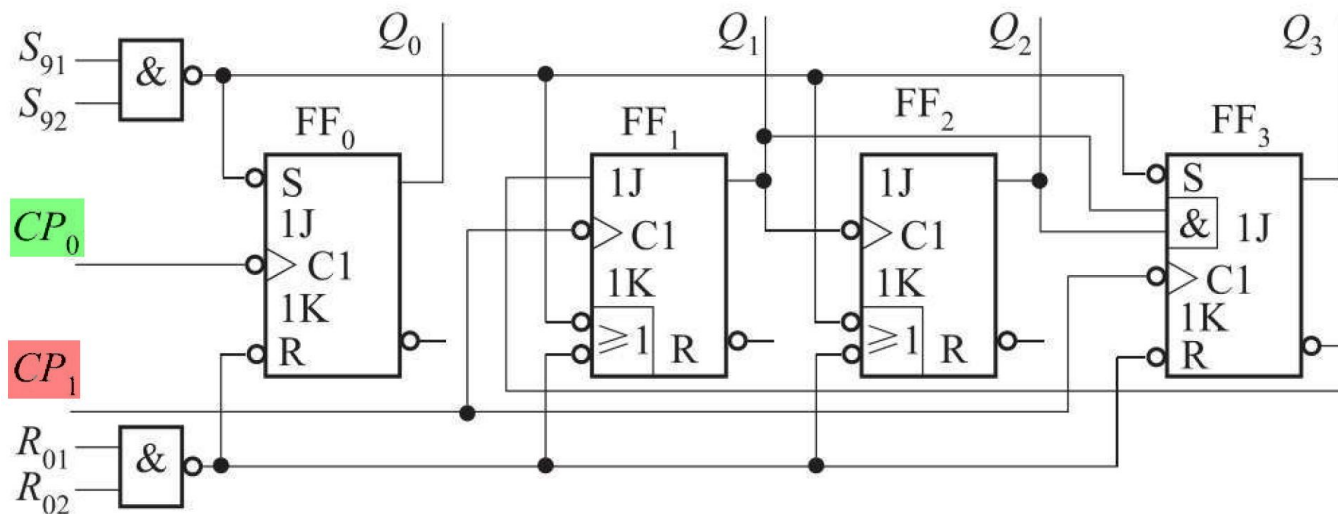


4.3 典型时序逻辑电路

三. 计数器：异步计数器（集成芯片 74LS290）



CP 输入端	输出端	进制	输出状态	分频端
CP_0	Q_0	二	0、1	Q_0 为二分频端
CP_1	$Q_3Q_2Q_1$	五	0000~100	Q_3 为五分频端
CP_0 且 Q_0 与 CP_1 相连	$Q_3Q_2Q_1Q_0$	十	00000~1001	Q_3 为十分频端



复位输入	置位输入	时钟	输出	功能
$R_{01}R_{02}$	$S_{91}S_{92}$	CP	$Q_3Q_2Q_1Q_0$	
11	0× ×0	×	0000	异步清零
0× ×0	11	×	1001	异步置 9
×0	0×	↓	计数	加法计数
0×	×0	↓	计数	
×0	0×	↓	计数	
×0	×0	↓	计数	



4.3 典型时序逻辑电路

三. 计数器：任意进制计数器

✧ 常见的集成产品采用：

- 十进制、十六进制、七进制、六十进制、7位二进制、14位二进制等

✧ 如何构成任意进制计数器？

- （已有）N进制 $\rightarrow$ M进制（待设计）



4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

✧ 用几片？

- 仅1片

✧ 思路？

- 在计数器进程中，设法跳过 ($N-M$) 个状态

✧ 具体方法

1. 清零法（有 R_D 端子）

均有同步和异步

- ① 计数器从全0状态 S_0 开始计数
- ② 计满 M 个状态后产生清0信号，使计数器恢复到初态 S_0

2. 置数法（有 S_D 端子）

- ① 计数器从某个预置状态 S_i 开始计数
- ② 计满 M 个状态后产生置数信号，使计数器又进入预置状态 S_i



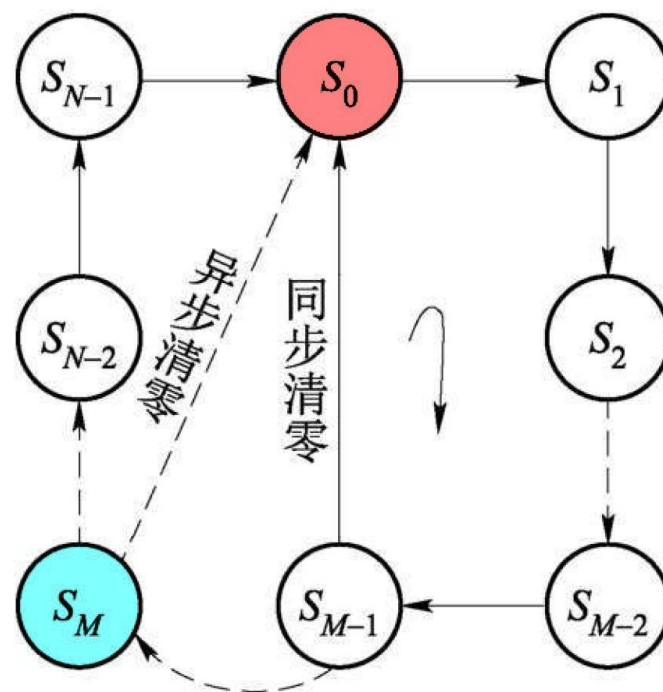
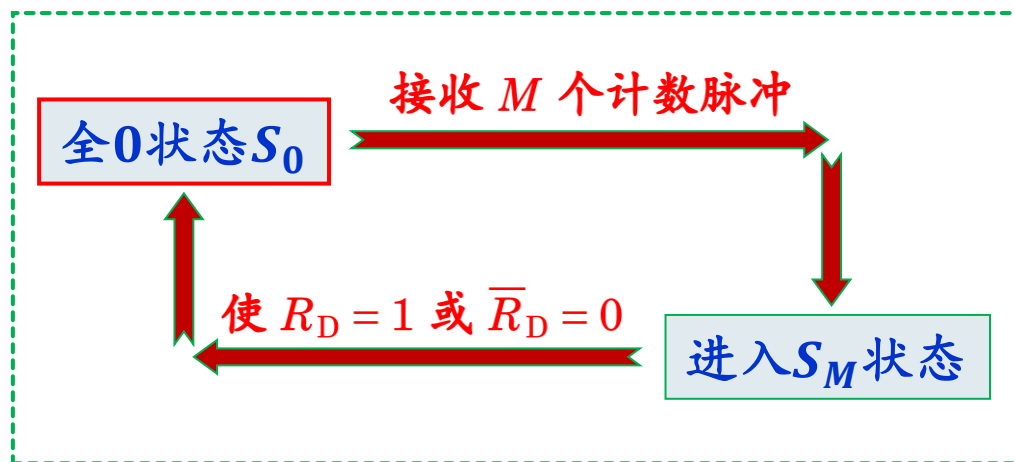
4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

① 异步清零法

- 74LS160、74LS161

采用 N 进制计数器





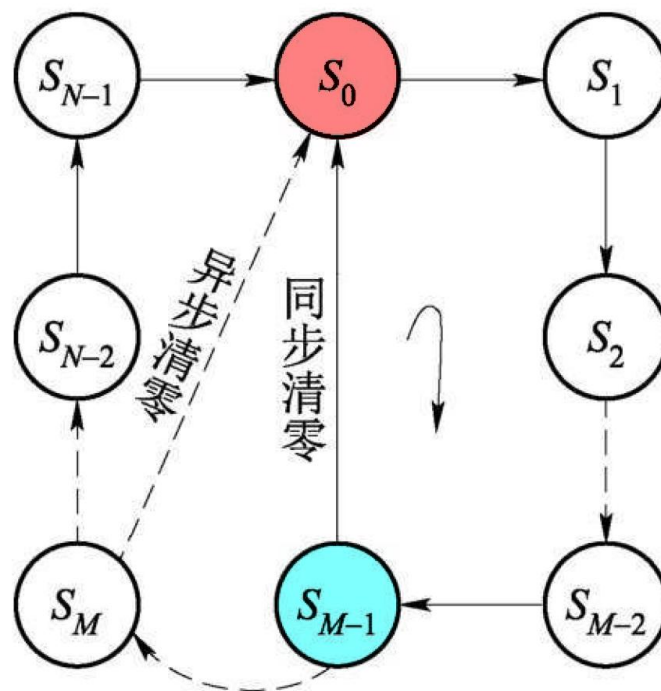
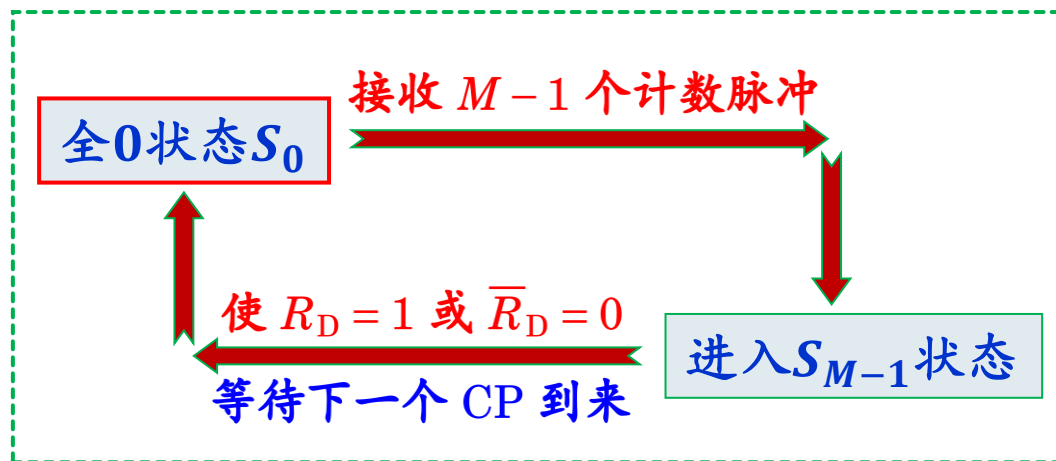
4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

② 同步清零法

• 74LS163

采用 N 进制计数器





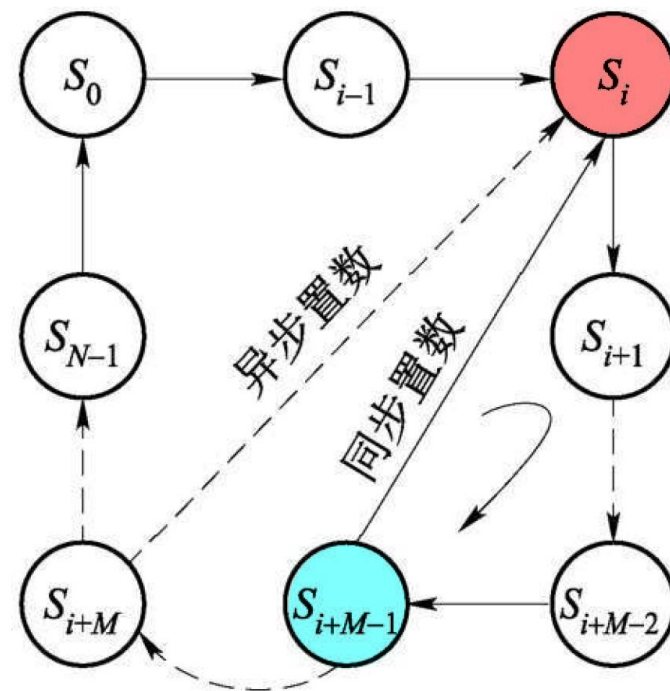
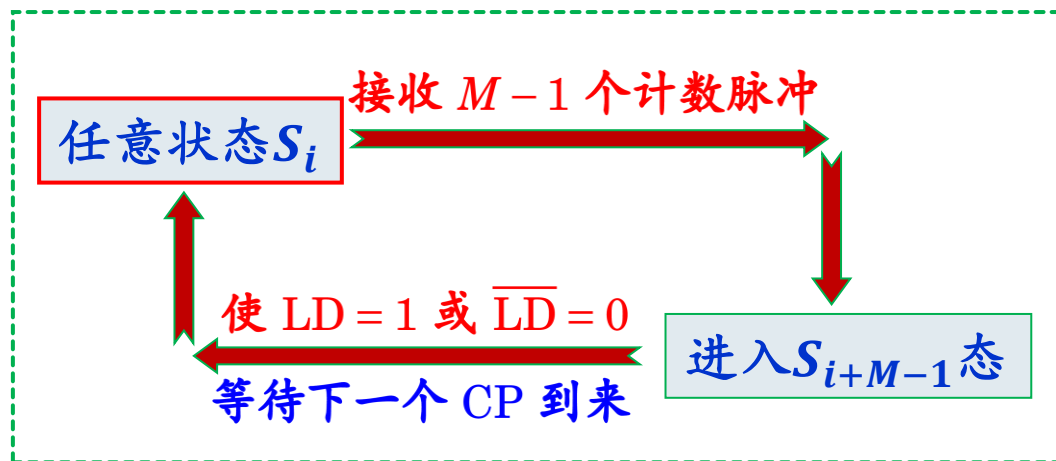
4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

③ 同步置数法

- 74LS160、74LS161

采用 N 进制计数器





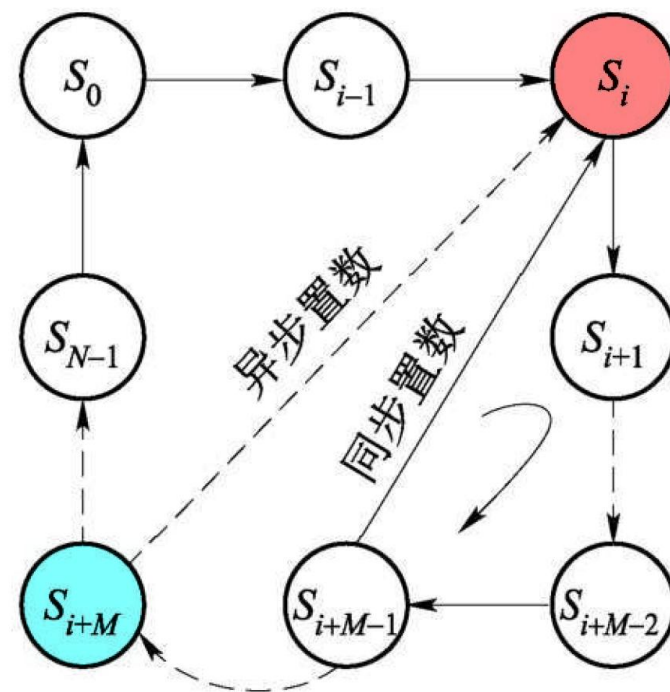
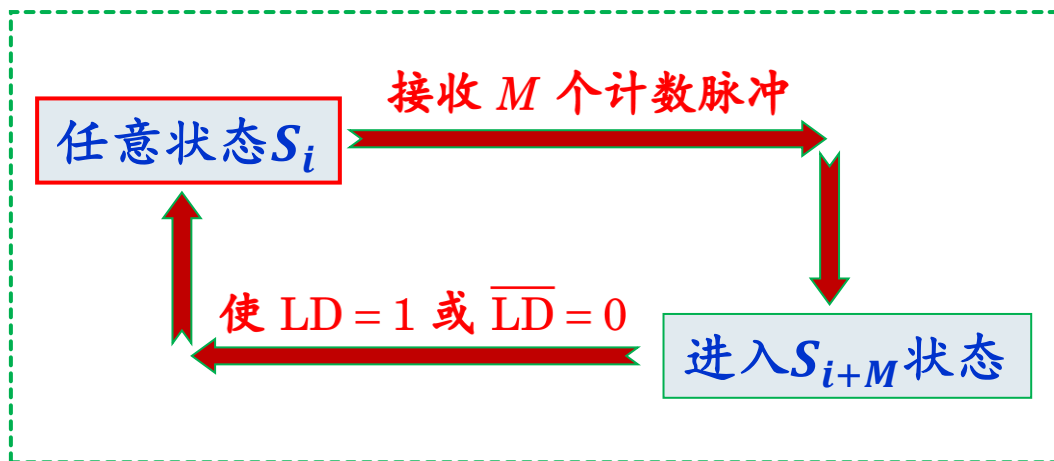
4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

④ 异步置数法

• 74LS193

采用 N 进制计数器





4.3 典型时序逻辑电路

例4-4

例 用同步十六进制计数器 74LS161 构成六进制计数器。

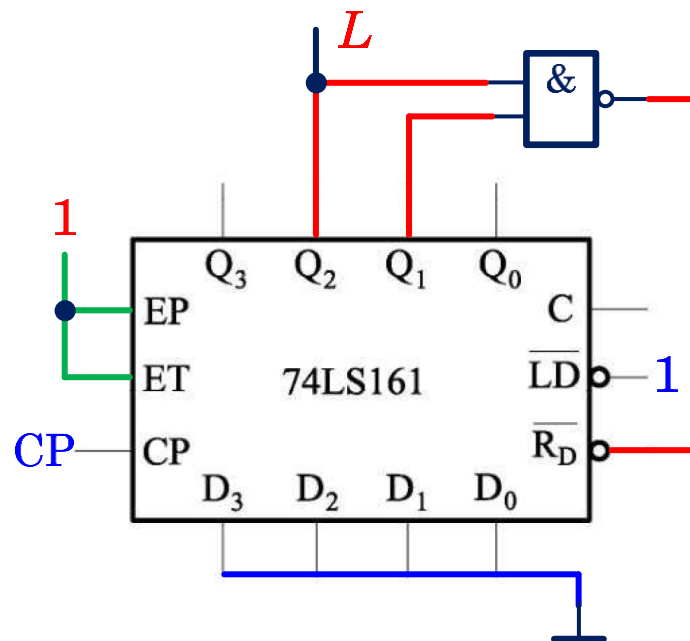
解 74LS161 有异步清零端 $\overline{R_D}$ 和同步置数端 $\overline{LD}$

(1) 用异步清零法

- ① 六个状态可以是 0000 ~ 0101
- ② 在 0110 时产生清零信号
- ③ 需要一个进位信号

CP	$Q_3Q_2Q_1Q_0$	L
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	1
5	0101	1
6	0110	1

$\overline{R_D} = 0$





4.3 典型时序逻辑电路

例4-4

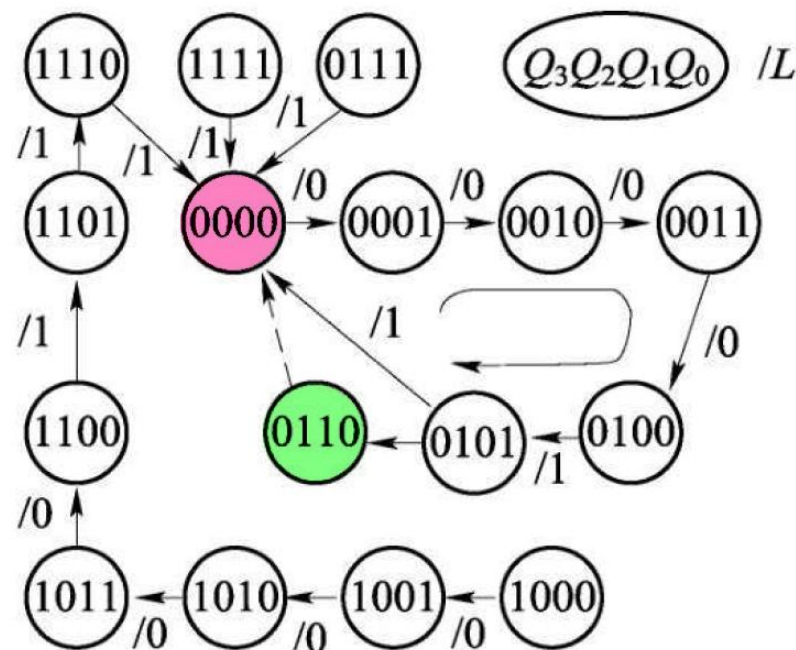
例 用同步十六进制计数器 74LS161 构成六进制计数器。

解 74LS161 有异步清零端 $\overline{R_D}$ 和同步置数端 $\overline{LD}$

(1) 用异步清零法

- ① 六个状态可以是 0000 ~ 0101
- ② 在 0110 时产生清零信号
- ③ 需要一个进位信号

CP	$Q_3Q_2Q_1Q_0$	L
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	1
5	0101	1
6	0110	1



状态转移图



4.3 典型时序逻辑电路

例4-4

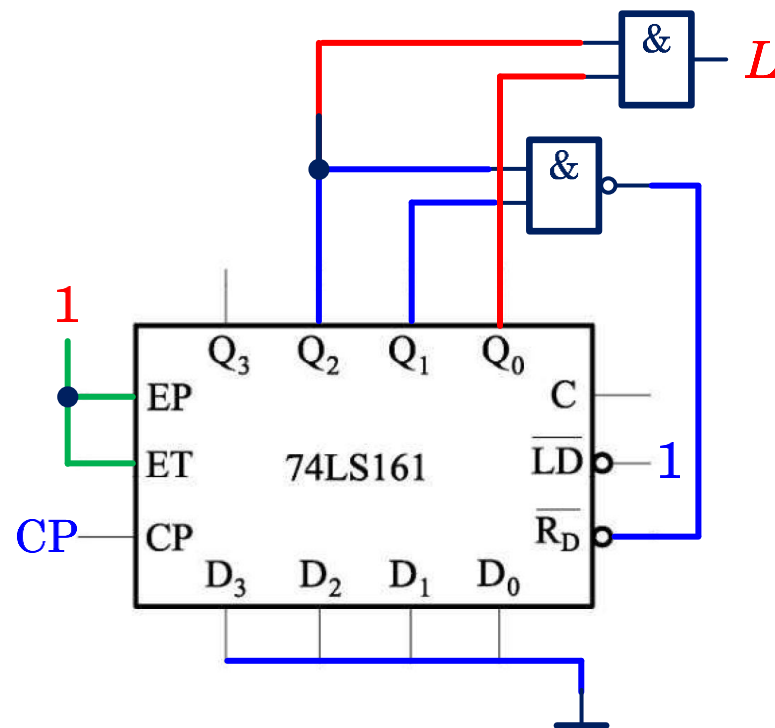
例 用同步十六进制计数器 74LS161 构成六进制计数器。

解 74LS161 有异步清零端 $\overline{R_D}$ 和同步置数端 $\overline{LD}$

(1) 用异步清零法

- ① 六个状态可以是 0000 ~ 0101
- ② 在 0110 时产生清零信号
- ③ 需要一个进位信号

CP	$Q_3Q_2Q_1Q_0$	L
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	1
5	0101	1
6	0110	1



产生进位



4.3 典型时序逻辑电路

例4-4

例 用同步十六进制计数器 74LS161 构成六进制计数器。

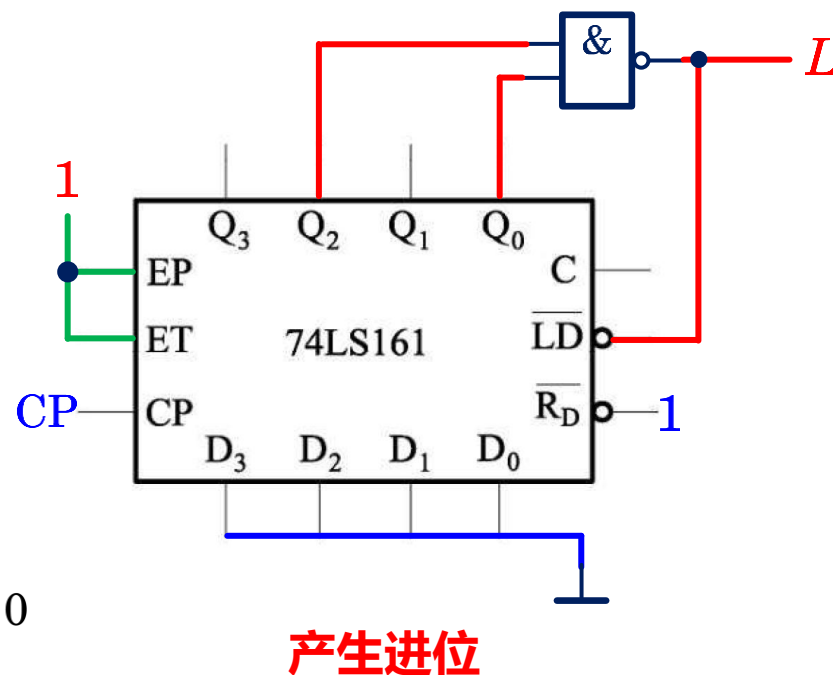
解 74LS161 有异步清零端 $\overline{R_D}$ 和同步置数端 $\overline{LD}$

(2) 用同步置数法

- ① 六个状态可以是 0000 ~ 0101
- ② 在 0101 时产生置数信号
- ③ 需要一个进位信号

CP	$Q_3Q_2Q_1Q_0$	L
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	1
5	0101	1

$\overline{LD} = 0$





4.3 典型时序逻辑电路

例4-4

例 用同步十六进制计数器 74LS161 构成六进制计数器。

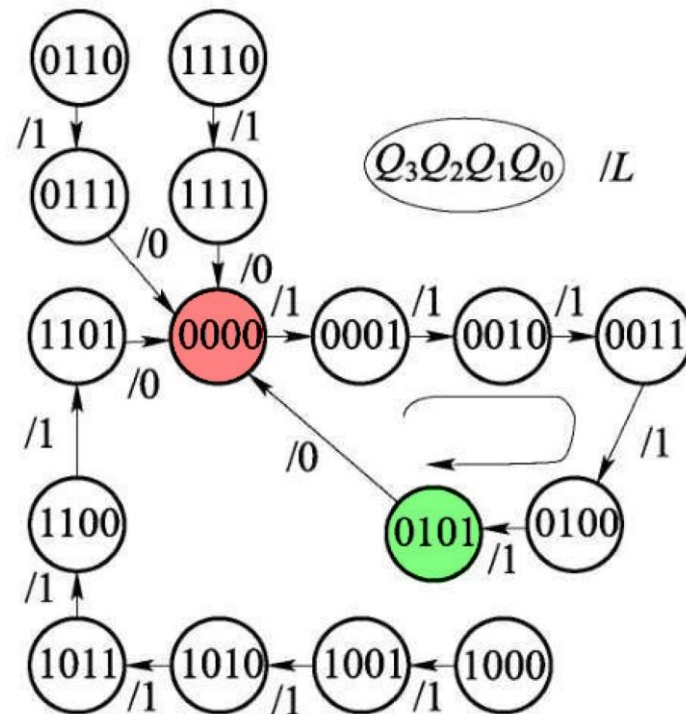
解 74LS161 有异步清零端 $\overline{R_D}$ 和同步置数端 $\overline{LD}$

(2) 用同步置数法

- ① 六个状态可以是 0000 ~ 0101
- ② 在 0101 时产生置数信号
- ③ 需要一个进位信号

CP	$Q_3Q_2Q_1Q_0$	L
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	1
5	0101	1

→ $\overline{LD} = 0$



状态转移图



4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M < N$)

✧ 采用清零或置数法设计任意模值计数器的步骤

- ① 选择模M计数器的计数范围，确定初态和末态
- ② 确定产生清零或置数信号的反馈状态
根据反馈状态设计反馈电路
- ③ 画出模M计数器的逻辑电路及状态转换图



4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M > N$)

- ✧ 如何实现？
- ✧ 多片扩展！



4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M > N$)

✧ 如果M可以分解为两个小于N的因数相乘 $M = N_1 \times N_2$

- 并行进位法

各计数器的CP端接到一起

用低位的进位输出L控制高位计数器的使能端EP、ET

- 并行进位法

使能端EP、ET总是有效，用低位的进位输出L作为高位的时钟信号

- 整体置数法

多片N进制计数器先用并行进位方式接成 $M_1 = N \times N$ 进制的计数器
再用置数法设计成M进制计数器

- 整体清零法

多片N进制计数器先用并行进位方式接成 $M_1 = N \times N$ 进制的计数器
再用清零法设计成M进制计数器



4.3 典型时序逻辑电路

三. 计数器：N进制 $\rightarrow$ M进制 ($M > N$)

✧ 如果M为素数，不可分解

- 整体置数法

多片N进制计数器先用并行进位方式接成 $M1=N \times N$ 进制的计数器
再用置数法设计成M进制计数器

- 整体清零法

多片N进制计数器先用并行进位方式接成 $M1=N \times N$ 进制的计数器
再用清零法设计成M进制计数器

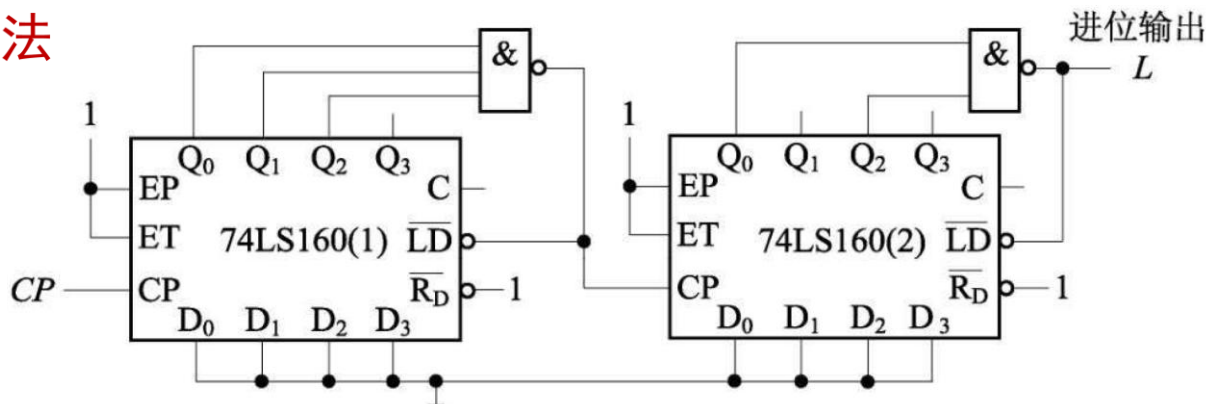


例 用同步十进制计数器 74LS160 构成四十八进制计数器，并说明设计的电路的状态。

例4-5

解 74LS160 有同步置数端 $\overline{LD}$ $48 = 6 \times 8$ 需要 2 片 74LS160

(1) 串行进位法



- ① 异步 CP：低位进位是高位时钟
- ② EP 和 ET 恒为 1，处于计数状态
- ③ 高位 6 进制、低位 8 进制，进位信号 $L = 0$
- ④ 电路状态： $Q_3Q_2Q_1Q_0(2) Q_3Q_2Q_1Q_0(1)$

$00000000 \rightarrow 00000001 \rightarrow 00000010 \rightarrow \dots \rightarrow 00000111 \rightarrow 00010000 \rightarrow 00010001 \rightarrow \dots \rightarrow$
 $00010111 \rightarrow 00100000 \rightarrow 00100001 \rightarrow \dots \rightarrow 00100111 \rightarrow 00110000 \rightarrow 00110001 \rightarrow \dots \rightarrow$
 $00110111 \rightarrow 01000000 \rightarrow 01000001 \rightarrow \dots \rightarrow 01000111 \rightarrow 01010000 \rightarrow 01010001 \rightarrow \dots \rightarrow$
 $01010111 \rightarrow 00000000$

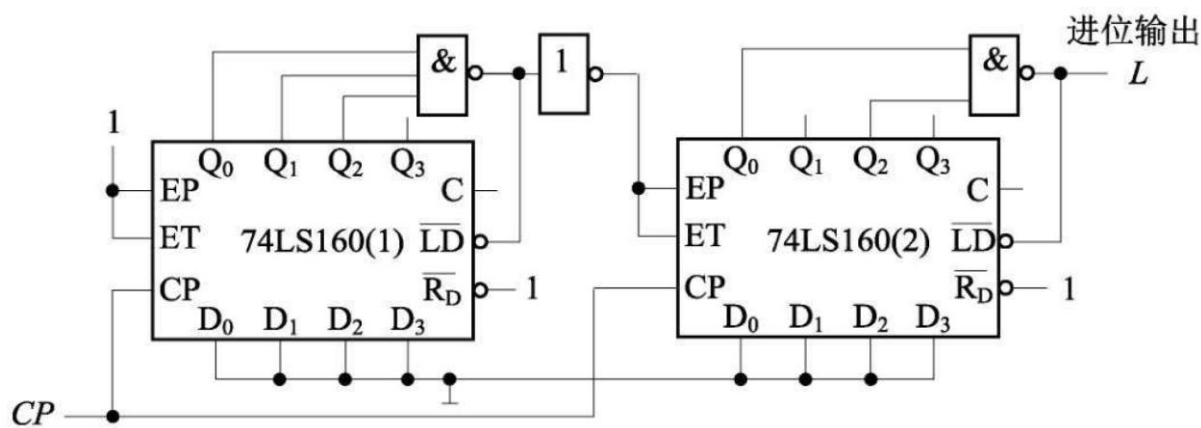


例 用同步十进制计数器 74LS160 构成四十八进制计数器，并说明设计的电路的状态。

例4-5

解 74LS160 有同步置数端 $\overline{LD}$ $48 = 6 \times 8$ 需要 2 片 74LS160

(2) 并行进位法



- ① 异步 CP
- ② 低位进位控制高位的功能转换端 EP、ET
- ③ 高位 6 进制、低位 8 进制，进位信号 $L = 0$
- ④ 电路状态：同串行进位法

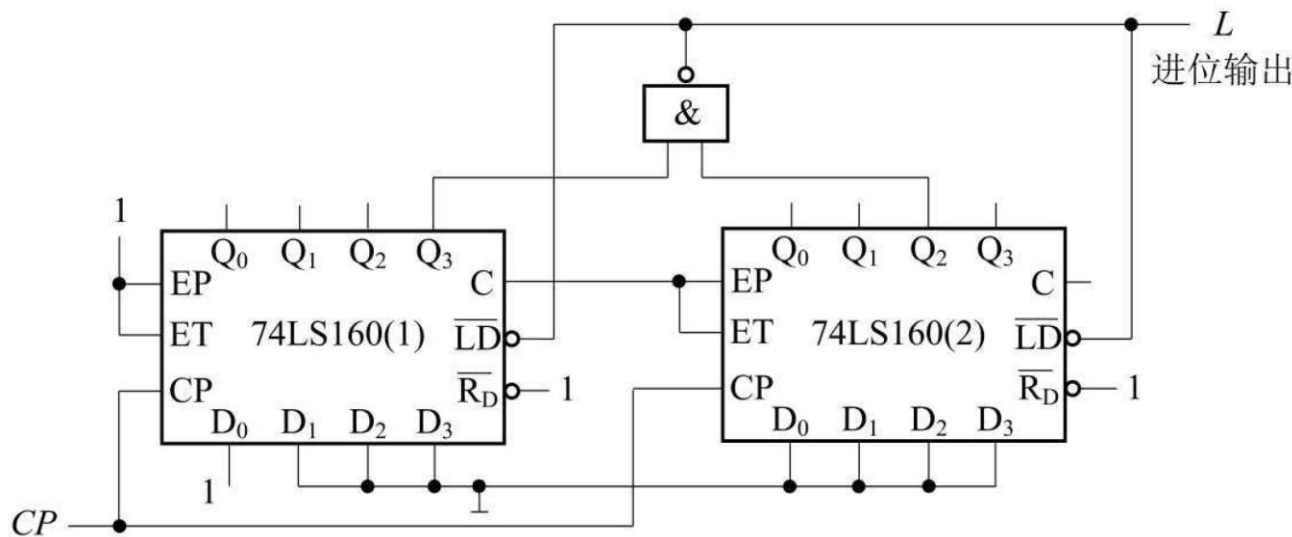


例 用同步十进制计数器 74LS160 构成四十八进制计数器，并说明设计的电路的状态。

例4-5

解 74LS160 有同步置数端 $\overline{LD}$ $48 = 6 \times 8$ 需要 2 片 74LS160

(3) 整体置数法



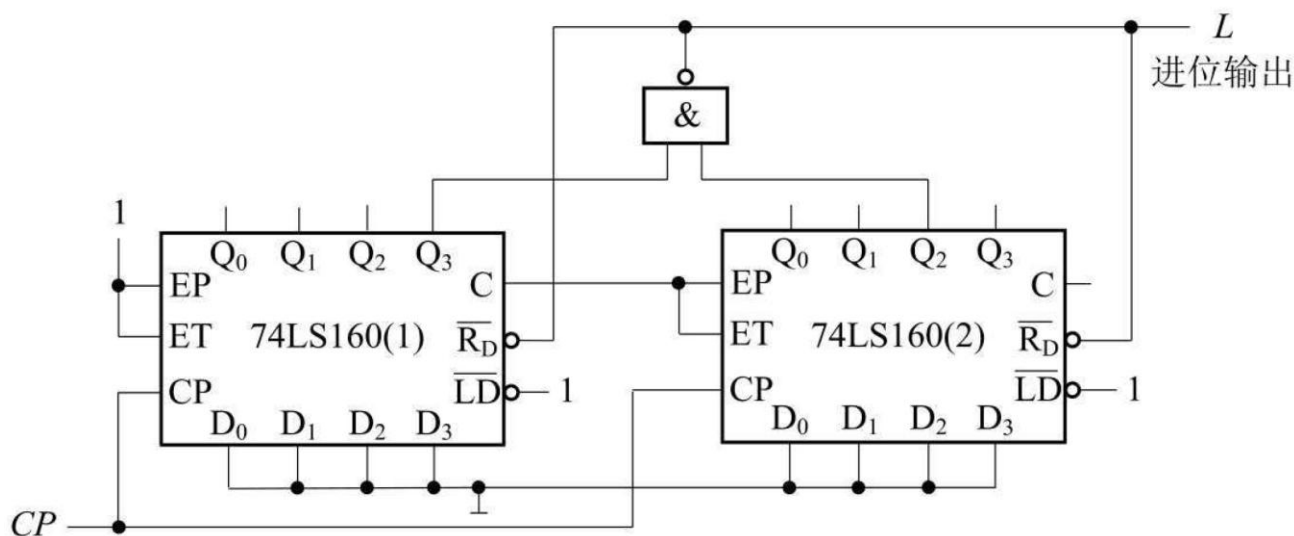
- ① 先用并行方式将 2 片 160 接成 100 进制的计数器
- ② 再用置数法
- ③ 电路的状态是什么？

例 用同步十进制计数器 74LS160 构成四十八进制计数器，并说明设计的电路的状态。

例4-5

解 74LS160 有同步置数端 $\overline{\text{LD}}$ $48 = 6 \times 8$ 需要 2 片 74LS160

(4) 整体清零法



- ① 先用并行方式将 2 片 160 接成 100 进制的计数器
- ② 再用清零法
- ③ 电路的状态是什么?

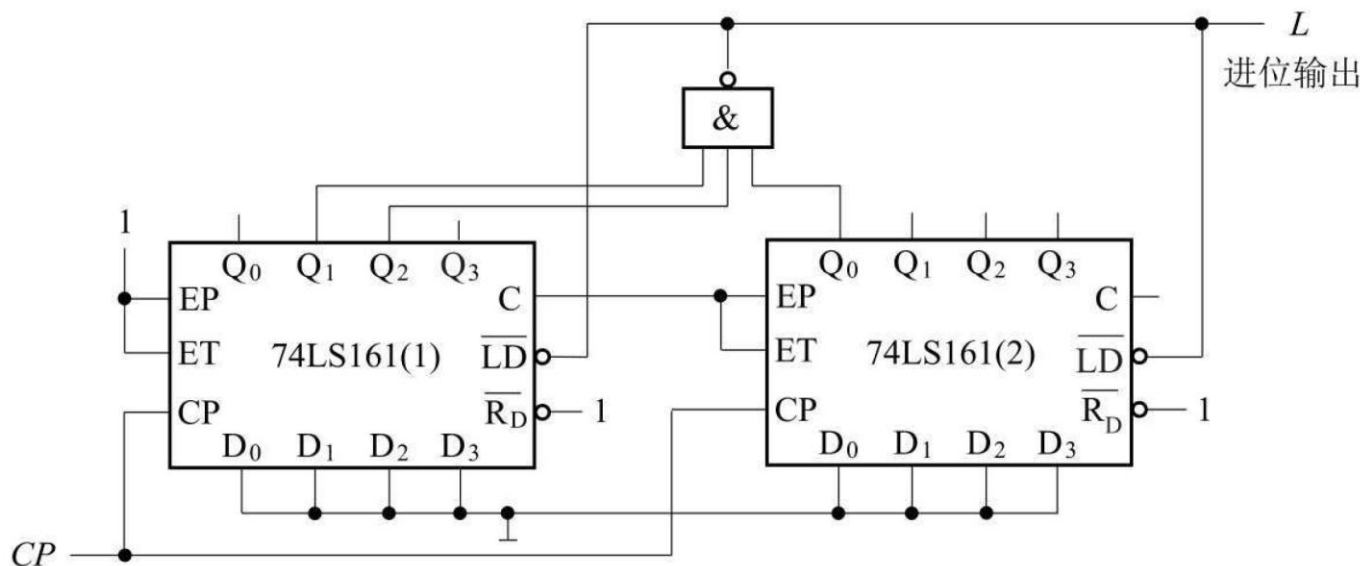


例 用同步十六进制计数器 74LS161 构成二十三进制计数器。

例4-6

解 23 为素数，不能分解

(1) 整体置数法



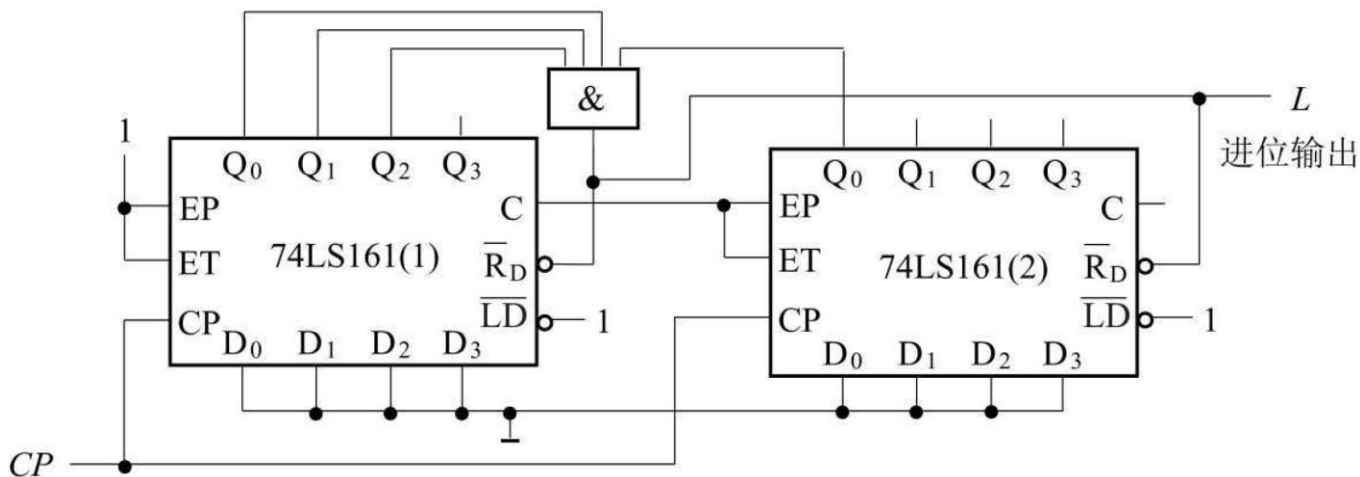
- ① 先用并行方式将 2 片 161 接成 256 进制的计数器
- ② 再用置数法
- ③ 如果预置数为 00000000，产生反馈置数信号的状态是什么？ 16H

例 用同步十六进制计数器 74LS161 构成二十三进制计数器。

例4-6

解 23 为素数，不能分解

(2) 整体清零法



- ① 先用并行方式将 2 片 161 接成 256 进制的计数器
- ② 再用清零法
- ③ 如果预置数为 00000000，产生异步清零信号的状态是什么？ 17H

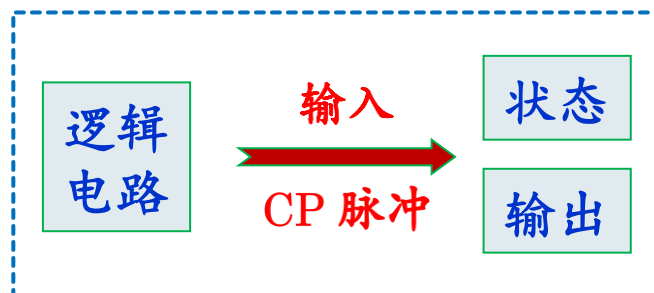


§4.4 时序逻辑电路设计



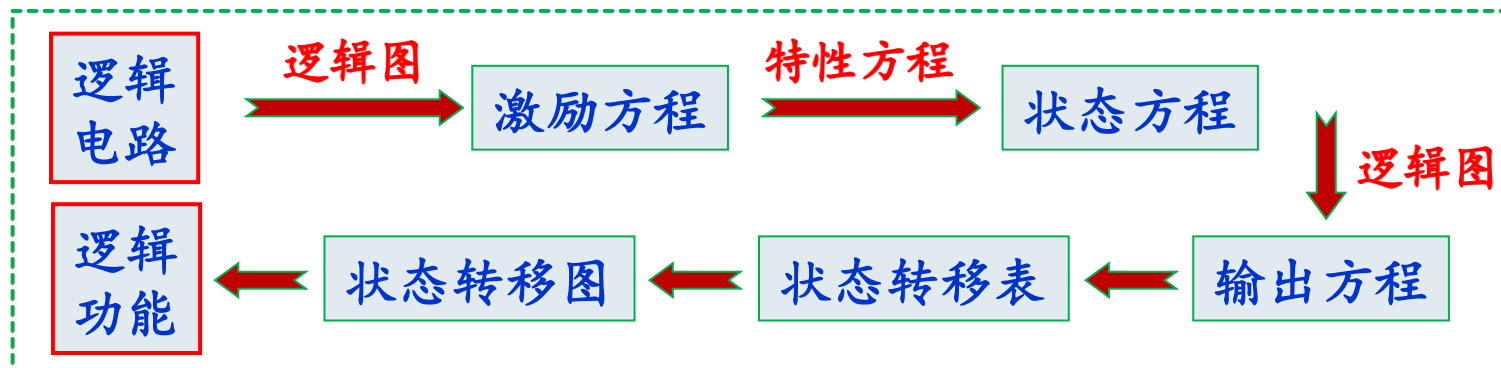
4.4 时序逻辑电路设计

■ 什么是时序逻辑电路分析？



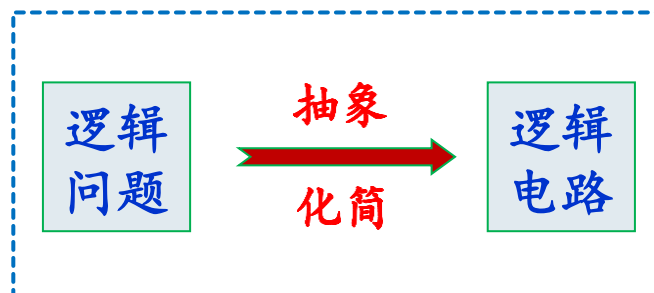
找出变化规律？

■ 时序逻辑电路分析步骤？



4.4 时序逻辑电路设计

■ 什么是时序逻辑电路设计？



获得最简逻辑电路？

◇ 最简逻辑电路的标准

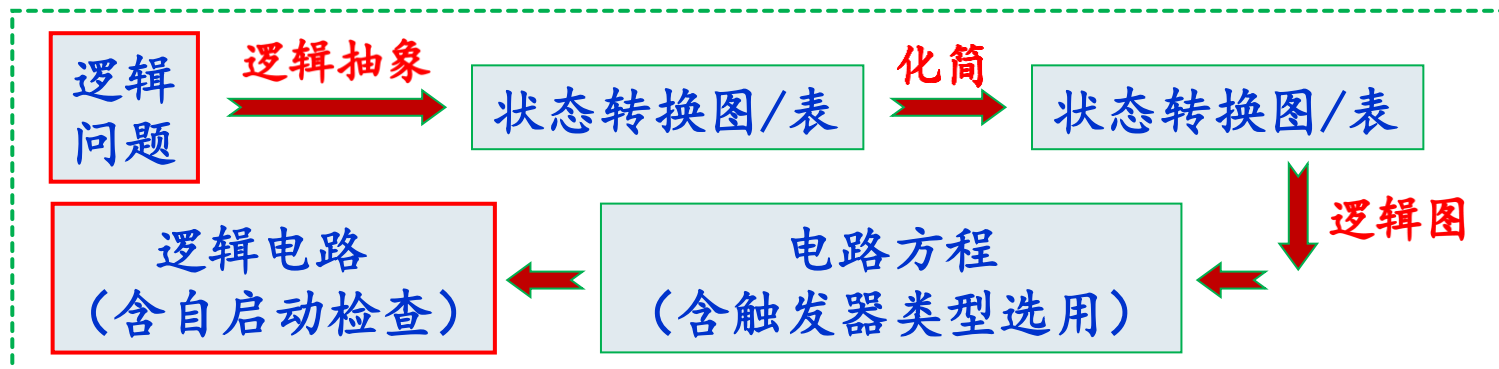
- 小规模集成电路：
触发器和门电路最少，输入端数目也最少
- 中、大规模集成电路：
数目最少、种类最少、连线最少



4.4 时序逻辑电路设计

■ 时序逻辑电路设计的一般步骤

- ① 逻辑抽象（确定输入、输出、状态），画原始状态转换图
- ② 状态化简，画出最简状态转换图
- ③ 状态分配，列状态编码表
- ④ 确定触发器数量 n 及类型，要求： $2n-1 \leq M \leq 2n$ ， M 为电路状态数
- ⑤ 写输出方程和激励方程
- ⑥ 画逻辑图：根据驱动方程和输出方程
- ⑦ 检查电路能否自启动





例

设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

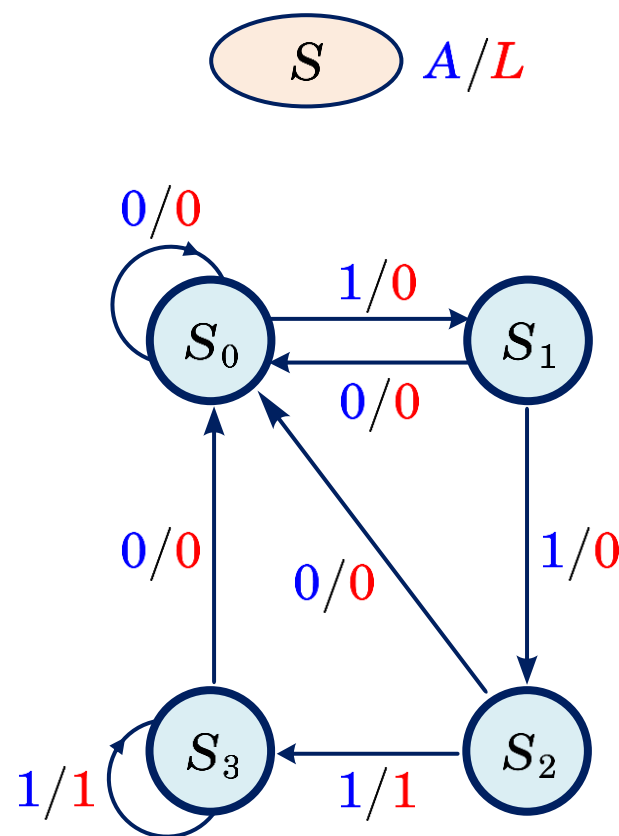
例4-7

解

(1) 逻辑抽象，画原始状态转换图

- 设输入变量为 A ，可以为 1 或 0；输出变量为 L
- 当输入为 3 个及 3 个以上 1 时， $L=1$ ，否则 $L=0$
- 根据设计要求设定状态（电路需要记忆的信息）：

S_0	初始状态，表示电路没有收到 1 之前的状态
S_1	表示电路收到了一个 1 的状态
S_2	表示电路连续收到了 2 个 1 的状态
S_3	表示电路连续收到了 3 个 1 的状态

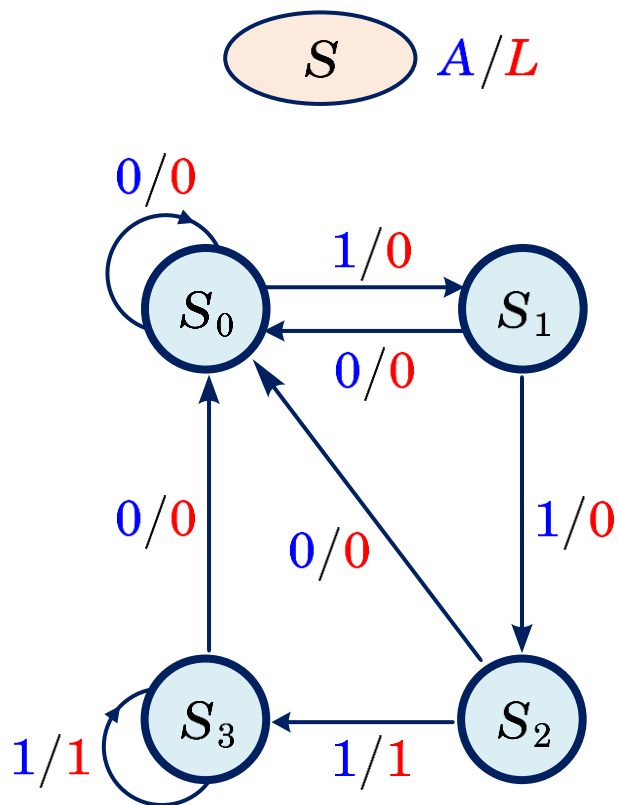




例 设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

例4-7

解 (2) 状态化简（等价状态合并）



• S_2 和 S_3 是等价状态

$S^{n+1}/L \backslash S$	S_0	S_1	S_2
A			
0	$S_0/0$	$S_0/0$	$S_0/0$
1	$S_1/0$	$S_2/0$	$S_2/1$



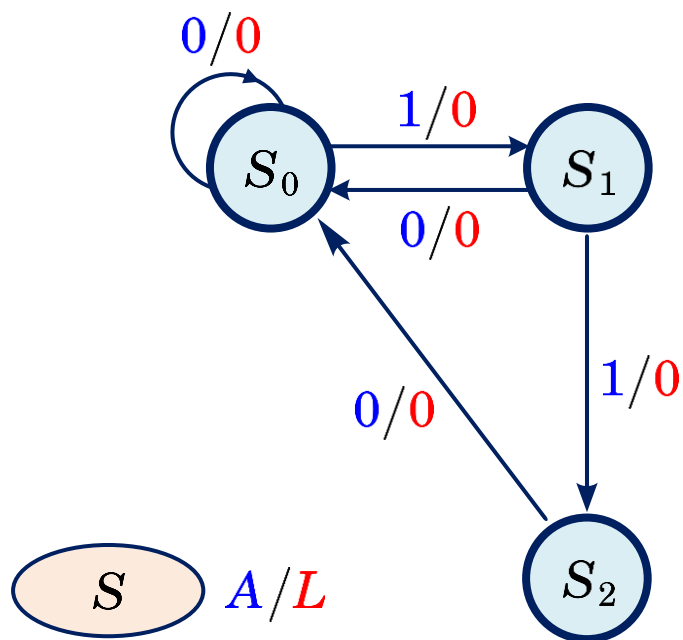
例 设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

例4-7

解 (3) 状态分配，列状态分配编码表

- 三个状态需要 2 位二进制

分配： 00 01 11
代表： S_0 S_1 S_2



$S^{n+1}/L \backslash S$	S_0	S_1	S_2
A			
0	$S_0/0$	$S_0/0$	$S_0/0$
1	$S_1/0$	$S_2/0$	$S_2/1$

$S^{n+1}/L \backslash S$	S_0	S_1	S_2
A			
0	00/0	00/0	00/0
1	01/0	11/0	11/1

状态编码表



例 设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

例4-7

解 (4) 选择触发器

- 2 位编码，2 个状态变量，需要 2 个触发器
- 选 2 个边沿结构的 D 触发器
- 特性方程： $Q^{n+1} = D$

$S^{n+1}/L \quad S$	S_0	S_1	S_2
A			
0	00/0	00/0	00/0
1	01/0	11/0	11/1

$Q_1^{n+1} Q_0^{n+1} / L \quad Q_1 Q_0$	00	01	11	10
A				
0	00/0	00/0	00/0	×
1	01/0	11/0	11/1	×



解 (5) 求状态方程、激励方程、输出方程

例4-7

$Q_1^{n+1} Q_0^{n+1} / L$

$A \backslash Q_1 Q_0$	00	01	11	10
0	00/0	00/0	00/0	×
1	01/0	11/0	11/1	×

L

$A \backslash BC$	00	01	11	10
0	0	0	0	×
1	0	0	1	×

$$L = A Q_1$$

Q_1^{n+1}

$A \backslash Q_1 Q_0$	00	01	11	10
0	0	0	0	×
1	0	1	1	×

$$Q_1^{n+1} = A Q_0$$

$$D_1 = A Q_0$$

Q_0^{n+1}

$A \backslash Q_1 Q_0$	00	01	11	10
0	0	0	0	×
1	1	1	1	×

$$Q_0^{n+1} = A$$

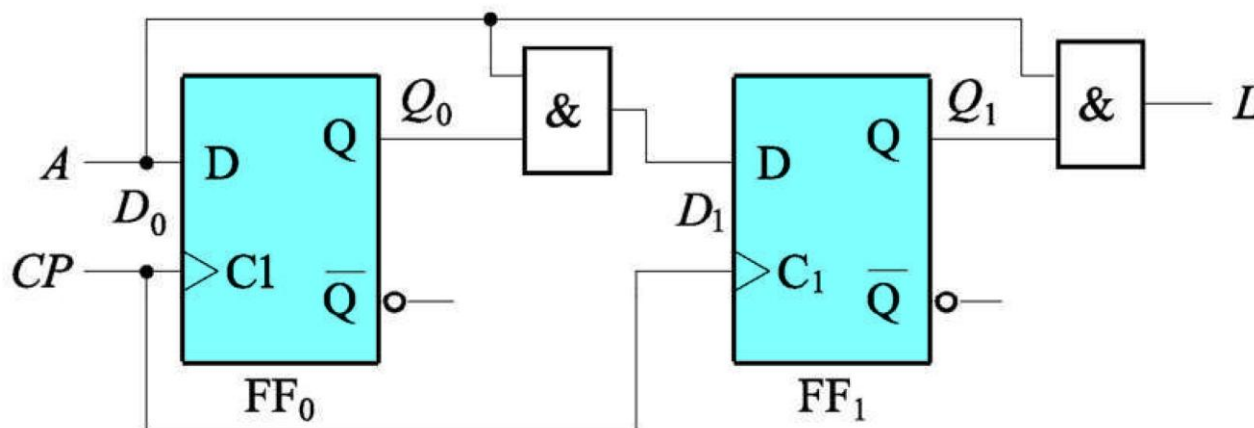
$$D_0 = A$$



例 设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

例4-7

解 (6) 画逻辑图 $L = AQ_1$ $D_0 = A$ $D_1 = AQ_0$



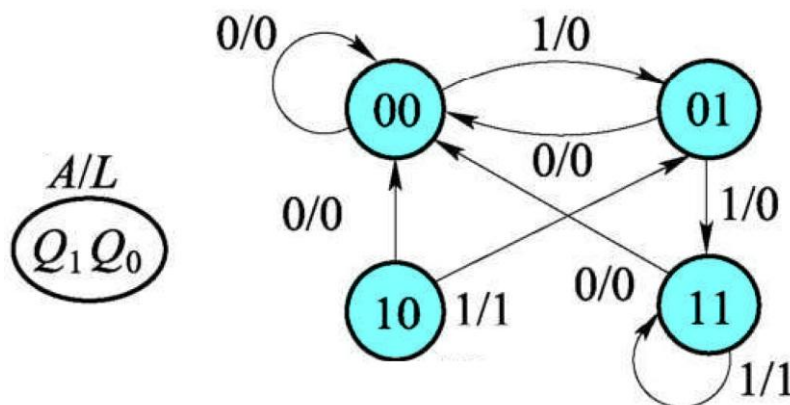


例 设计一个串行数据检测器。该检测器有一个输入端，它的功能是对输入信号进行检测。当连续输入三个 1（以及三个以上 1）时，该电路输出 1，否则输出 0。

例4-7

解 (7) 检查自启动 检查多余状态在若干时钟脉冲作用后的次态及输出，看能否回到有效循环中

- 将多余状态 $S = Q_1Q_0 = 10$ 代入触发器的状态方程及输出方程
- 当 $A = 0$ 时，次态及输出 $Q_1^{n+1}Q_0^{n+1}/L$ 为 00/0
- 当 $A = 1$ 时，次态及输出 $Q_1^{n+1}Q_0^{n+1}/L$ 为 01/1



能自启动



4.4 时序逻辑电路设计

■ 顺序脉冲发生器设计

✧ 能够发出一组在时间上有一定先后顺序的脉冲信号的电路

① 环形计数器

- 74LS194可以构成环形计数器

② 计数器与译码器结合

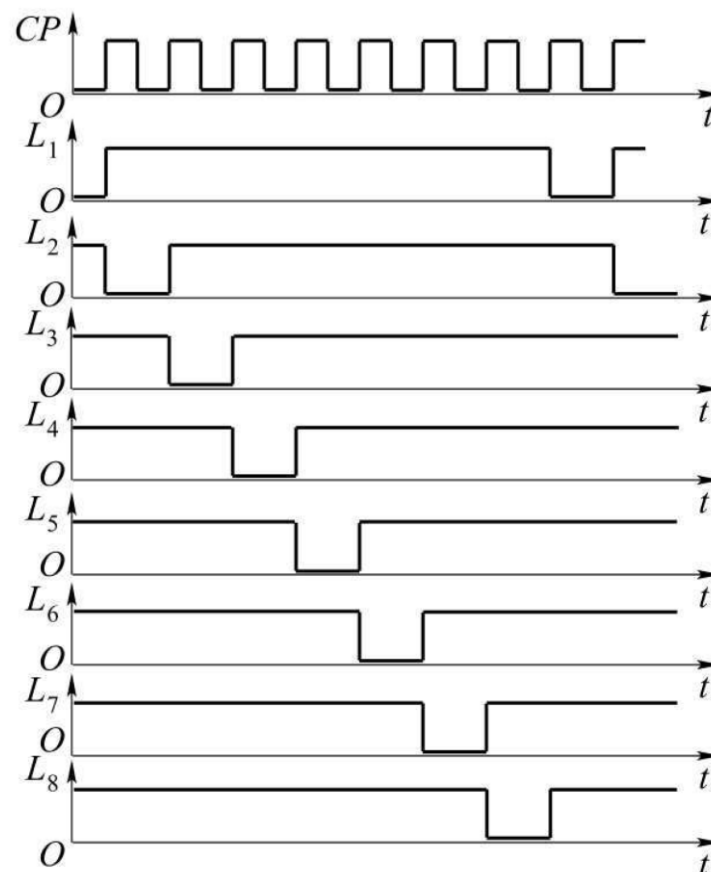
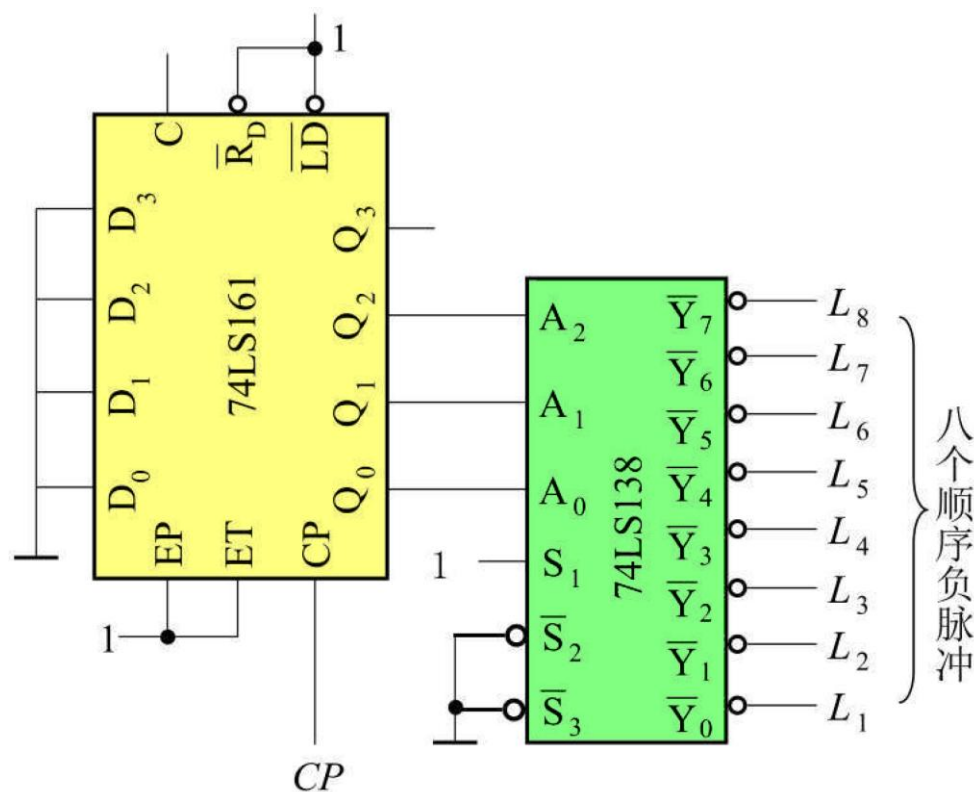
- 计数器是循环的时序电路，可以作为节拍发生器
- 二进制译码器输出是顺序脉冲
- 将计数器输出作为二进制译码器的地址输入
则译码器输出就是周期性的顺序脉冲信号



例 设计一个八节拍顺序脉冲信号发生器。说明设计过程，画线路图。

例4-7

解 用十六进制计数器 74LS161 输出低三位作为八节拍发生器
后接 74LS138 译码器



4.4 时序逻辑电路设计

■ 序列信号发生器设计

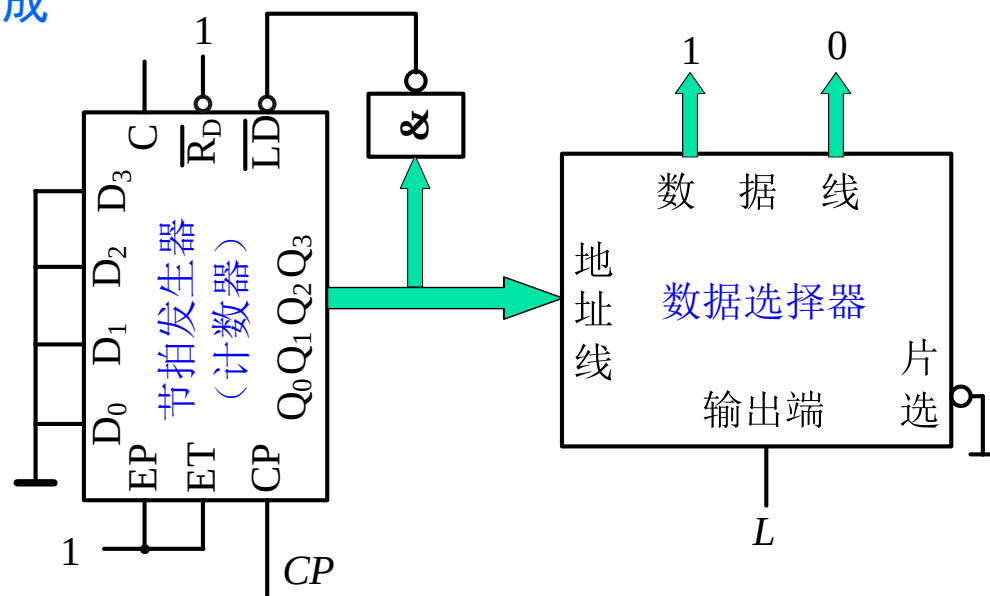
✧ 一组特定的周期性串行数字信号

- 常用于数字信号的传输和数字系统的测试中

✧ 序列信号发生器

- 产生序列信号的电路
- 由计数器和数据选择器构成

由计数器和数据选择器组成序列信号发生器方法：
根据周期性串行数据的个数选择计数器的模值，由串行数据的数值确定数据选择器的规模及数据端状态





例 设计一个序列信号发生器，使之在一系列 CP 信号作用下，周期性地输出“1110010100”的序列信号。选用什么器件设计完成？说明设计过程，画出电路图

例4-7

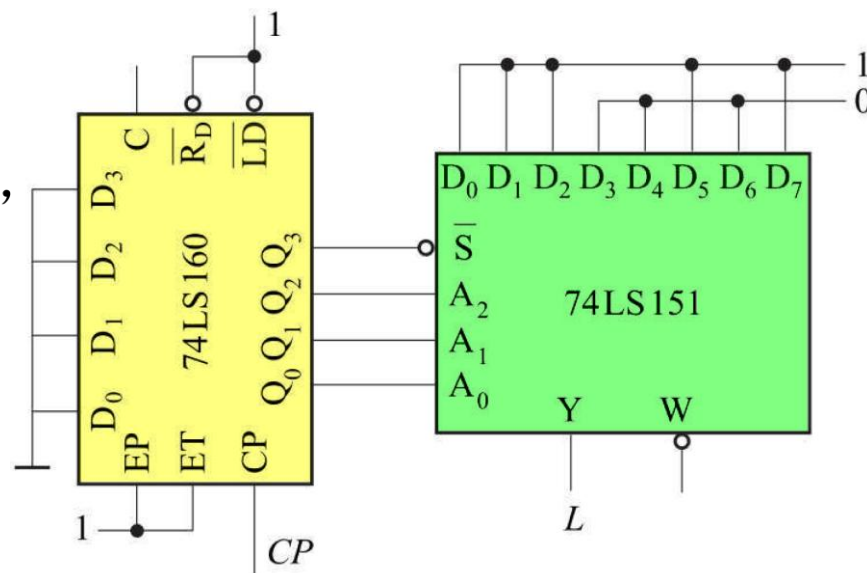
解 (1) 选器件

给定数据的长度是 10 位，选用 10 进制计数器 74LS160

10 位数据的后二位是 00，选用 8 选 1 数据选择器 74LS151

(2) 电路设计

- 将 74LS160 接成 10 进制工作状态
- 输出低 3 位作为数据选择器的地址，输入端高位接数据选择器的使能端
- 74LS151 数据接 8 位串行序列
输出 10 位串行数据





本章小结

- 时序逻辑电路的基本概念
- 时序逻辑电路的分析
- 典型时序逻辑电路
- 时序逻辑电路的设计